



Synthèse de fréquence multi-bandes couvrant les ondes millimétriques pour les applications WiFi-WiGig

Mathieu Vallet

► To cite this version:

Mathieu Vallet. Synthèse de fréquence multi-bandes couvrant les ondes millimétriques pour les applications WiFi-WiGig. Electronique. Université de Bordeaux, 2015. Français. NNT : 2015BORD0407 . tel-01297498

HAL Id: tel-01297498

<https://theses.hal.science/tel-01297498>

Submitted on 4 Apr 2016

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

THÈSE PRÉSENTÉE
POUR OBTENIR LE GRADE DE
DOCTEUR DE
L'UNIVERSITÉ DE BORDEAUX

ÉCOLE DOCTORALE DES SCIENCES PHYSIQUES ET DE L'INGÉNIEUR
SPÉCIALITÉ : ÉLECTRONIQUE

Par Mathieu VALLET

**Synthèse de fréquence multi-bandes couvrant les ondes
millimétriques pour les applications WiFi-WiGig**

Sous la direction de : Yann DEVAL
(co-directeur : Olivier Richard)

Soutenue le 23 Novembre 2015

Membres du jury :

M. FERRARI, Philippe	Professeur	Université de Grenoble	Président
M. LLOPIS, Olivier	Directeur de recherche CNRS	LAAS Toulouse	Rapporteur
M. O'CONNOR, Ian	Professeur	Ecole Centrale Lyon	Rapporteur
M. BELOT, Didier	Ingénieur HDR	STMicroelectronics	Examineur
M. FRAPPE, Antoine	Maître de conférences	ISEN Lille	Examineur
M. RIVET, François	Professeur	Université Bordeaux 1	Examineur
M. DEVAL, Yann	Professeur	Université Bordeaux 1	Directeur de thèse
M. MAZOUFFRE, Olivier	Ingénieur de recherche CNRS	Université Bordeaux 1	Co-encadrant
M. RICHARD, Olivier	Ingénieur	STMicroelectronics	Co-encadrant

Titre : Synthèse de fréquence multi-bandes couvrant les ondes millimétriques pour les applications WiFi-WiGig

Résumé : L'ensemble des travaux présentés au sein de manuscrit porte sur la réalisation d'un synthétiseur de fréquences millimétriques capable de répondre aux besoins de la convergence WiFi-WiGig. Une première étude est réalisée dans le but de définir une architecture de synthétiseur de fréquence faible consommation adaptée aux standards du WiFi et du WiGig. L'ensemble des éléments composants la PLL sont par la suite détaillés, mettant en avant les avantages offerts par la technologie 28 nm FDSOI CMOS. Une étude plus approfondie des VCO millimétriques large bande et faible consommation est ensuite présentée, permettant de mettre en avant une réelle méthodologie de conception en lien avec la technologie 28 nm FDSOI CMOS. Finalement, diverses solutions sont proposées dans le but d'améliorer les performances de la PLL, avec l'incorporation de VCO millimétriques à ondes lentes, ou d'oscillateurs à anneaux synchronisés.

Mots clés : PLL, VCO, 28 nm FDSOI CMOS, convergence WiFi WiGiG, ondes millimétriques

Title : Millimeter waves frequency synthesizer for WiFi-WiGig convergence

Abstract : The works presented in this manuscript focus on the realization of a millimeter frequency synthesizer meeting the needs of the WiGig-Fi convergence. A first study was conducted to define a suitable low-power frequency synthesizer architecture for WiFi and WiGig standards. All of the PLL components are subsequently detailed, highlighting the 28nm CMOS FDSOI technology benefits. Then, a study of low power millimeter broadband VCO is presented, highlighting a design methodology related to the 28nm CMOS FDSOI technology. Finally, various solutions are proposed in order to improve the PLL performances, with the incorporation of slow wave VCO, or injection locked ring oscillators.

Keywords : PLL, VCO, 28 nm FDSOI CMOS, WiFi WiGiG convergence, millimeter waves

Table des matières

Remerciements

Introduction

Synthétiseur de fréquences multi-standards

1.	Généralités sur les PLL.....	15
1.	Fonctionnement de la PLL analogique	15
2.	Modèle linéaire	16
a.	VCO.....	16
b.	Ensemble PFD-CP.....	16
c.	Filtre de boucle	17
d.	PLL.....	17
3.	Etude de la stabilité.....	18
2.	Contexte de la PLL multi-standards WiFi-WiGig.....	18
1.	Besoins en fréquence	18
a.	Convergence WiFi-WiGig.....	18
b.	Architecture RX.....	19
c.	Architecture TX.....	20
d.	Résumé des fréquences nécessaires	22
2.	Contraintes liées à la consommation et au bruit de phase.....	22
a.	Consommation de la PLL	22
b.	Bruit de phase et conversion bruit de phase -jitter RMS	22
3.	Etude système	24
a.	Architecture	24
b.	Consommation	25
3.	Diviseurs de fréquences millimétriques	27
1.	Diviseurs SCL.....	27
a.	Principe de fonctionnement.....	27
b.	Conception.....	29
2.	Oscillateurs synchrones LC paire croisée	30
a.	Approche théorique	30

b.	<i>Limitations</i>	33
4.	Diviseurs fractionnaires	34
1.	Etat de l'art	34
a.	<i>Architecture multi-modulus</i>	34
b.	<i>Architecture utilisant des mixers</i>	35
2.	Architecture proposée	36
a.	<i>Fonctionnement global</i>	36
b.	<i>Architecture</i>	37
c.	<i>Conception</i>	41
3.	Simulations	42
a.	<i>Compteur d'états</i>	42
b.	<i>Spécificité des nombres impairs</i>	43
c.	<i>Consommation</i>	43
4.	Intégration dans la PLL	45
a.	<i>Contraintes</i>	45
b.	<i>Modulateur sigma-delta</i>	45
5.	Comparateur de phase (PFD)	46
1.	Architecture double fronts	46
a.	<i>Principe de fonctionnement</i>	46
6.	Pompe de charge (CP)	49
1.	Architecture	49
2.	Compromis mis en jeu	50
a.	<i>Linéarité</i>	50
b.	<i>Courant maximum</i>	51
7.	Filtre de boucle (LPF)	52
1.	Fonction de transfert du filtre de boucle	52
a.	<i>Filtre du second ordre</i>	52
b.	<i>Filtre du troisième ordre</i>	53
8.	Etude de la PLL 40GHz	54
1.	Simulations	54
9.	Conclusion	56

Conception d'oscillateurs millimétriques en technologie CMOS avancée

1.	Généralités sur les oscillateurs.....	61
1.	Fonctionnement global	61
a.	<i>Conditions d'oscillations</i>	61
b.	<i>Fréquence de fonctionnement</i>	61
2.	Oscillateur Colpitts	62
a.	<i>Fonctionnement</i>	62
b.	<i>Avantages et inconvénients</i>	63
3.	Oscillateur en anneaux.....	64
a.	<i>Fonctionnement</i>	64
b.	<i>Avantages et inconvénients</i>	65
4.	Oscillateur LC paire croisée	66
a.	<i>Fonctionnement</i>	66
b.	<i>Avantages et inconvénients</i>	67
5.	Oscillateur LC double paire croisée	67
a.	<i>Architecture</i>	67
b.	<i>Avantages et inconvénients</i>	68
6.	Etat de l'art	69
2.	Optimisation du Bruit de phase	70
1.	Définition du bruit de phase dans les oscillateurs	70
2.	Optimisation du rapport L/C	72
a.	<i>Considérations globales</i>	72
b.	<i>Réductions des non linéarités via l'utilisation d'inductance</i>	73
3.	Inductance	75
1.	Facteur de qualité.....	75
2.	Discussion sur les boucliers de masse (écrans de masse)	77
a.	<i>Principe de fonctionnement</i>	77
b.	<i>Limitation pour les fréquences millimétriques</i>	78
3.	Contraintes associées au respect des règles de densités.....	78
a.	<i>Proximité du plan de masse</i>	78
b.	<i>Dummies</i>	79
4.	Varactor	80
1.	Implémentation dans la technologie 28 nm CMOS FDSOI.....	80

a.	<i>Fonctionnement global</i>	80
b.	<i>Mode de fonctionnement</i>	81
2.	Limitations liées au KVCO	82
a.	<i>Définition du KVCO</i>	82
b.	<i>Influence sur le coefficient de qualité</i>	83
c.	<i>Intégration dans une boucle à verrouillage de phase</i>	84
3.	Limitations liées à la conception d'un varactor.....	84
a.	<i>Influence des capacités parasites</i>	84
b.	<i>Polarisation du varactor</i>	85
5.	Inductance variable	86
1.	Approche théorique	86
a.	<i>Procédé et modélisation</i>	86
b.	<i>Mise en équation</i>	88
2.	Dimensionnement du transformateur	91
a.	<i>Niveau de métaux</i>	91
b.	<i>Largeur et nombre de tours du secondaire</i>	91
6.	Capacités digitales	92
1.	Structure.....	92
a.	<i>Modèles simplifiés de la capacité digitale</i>	92
2.	Dimensionnement des capacités digitales	94
a.	<i>Dimensionnement du switch</i>	94
b.	<i>Recouvrement</i>	94
3.	Choix des capacités de liaison	95
a.	<i>Capacité MOM</i>	95
b.	<i>Capacité MIM</i>	97
4.	Conception	98
a.	<i>Élément seul</i>	98
b.	<i>Mise en place dans un oscillateur</i>	98
7.	Miroir de courant	104
1.	Choix du type de structure	104
a.	<i>Miroir de courant NMOS</i>	104
b.	<i>Miroir de courant PMOS</i>	104
2.	Dimensionnement et avantages liés de la technologie 28 nm FDSOI CMOS.....	105

a.	<i>Discussion sur les effets non-linéaires</i>	105
b.	<i>Polarisation du body</i>	106
3.	Conception	107
8.	Amplificateur de sortie	108
1.	Topologies utilisable à 40 GHz	108
a.	<i>Structure à sortie unique</i>	108
b.	<i>Structure différentielle</i>	112
2.	Circuit d'adaptation	113
a.	<i>Adaptation via l'abaque de Smith</i>	113
b.	<i>Implémentation</i>	114
9.	Conclusion	115

Performances de l'oscillateur et perspectives d'amélioration

1.	Performances de l'oscillateur	121
1.	Simulations	121
a.	<i>Approche des simulations</i>	121
b.	<i>Préparation des mesures</i>	122
2.	Mesures	123
a.	<i>Appareils utilisés</i>	123
b.	<i>Résultats de mesures</i>	126
2.	Oscillateurs millimétriques à ondes lentes	130
1.	Généralités sur les ondes lentes	130
2.	Idées d'implémentation	132
a.	<i>Forme de l'inductance</i>	132
b.	<i>Niveaux de métallisation</i>	135
c.	<i>Modification du varactor</i>	136
3.	Oscillateurs synchrones large bande à anneaux	138
1.	Généralités sur les oscillateurs synchrones	138
a.	<i>Principe de fonctionnement</i>	138
b.	<i>Etat de l'art</i>	139
2.	Choix du type d'injection	140
4.	Conclusion	142

Conclusion

« Quand on pédale dans le yaourt, on fait son beurre. »

Proverbe Bulgare

Remerciements

Cette thèse s'est déroulée dans un premier temps au laboratoire IMS Bordeaux, puis par la suite dans les locaux de STMicroelectronics Crolles. Trois années de thèse peut sembler très long et très court à la fois. J'ai eu la chance de pouvoir côtoyer bon nombres de personnes m'ayant beaucoup apporté, que ce soit sur le plan du travail ou le plan humain. J'espère n'oublier personne lors de leur énumération.

Je souhaite tout d'abord remercier Yann Deval mon directeur de thèse pour son apport scientifique et sa bonne humeur communicative. Je remercie aussi Olivier Mazouffre qui a pris une partie de mon encadrement dans les locaux de l'IMS Bordeaux ainsi que les différents chefs d'équipe que j'ai pu avoir sur place : Thierry Taris, Jean-Baptiste Bégueret et François Rivet. Je remercie tout particulièrement Olivier Richard, mon encadrant de thèse à STMicroelectronics, qui a beaucoup contribué au bon déroulement de cette thèse. Ses connaissances, son expérience et son soutien auront été d'une grande aide et je lui suis très reconnaissant de son apport. Je remercie aussi Sébastien Dedieu pour son attention porté sur ma thèse, son aide et ses bons conseils, ainsi que Didier Belot pour m'avoir fait partager son expertise et son expérience dans le domaine de la RF. Je remercie les différents membres de mon jury de thèse : Messieurs Olivier Llopis et Ian O'Connor, rapporteurs de ces travaux ; Philippe Ferrari, président du jury ; Didier Belot, Antoine Frappé et François Rivet, pour leur participation en tant qu'examineurs.

Je remercie l'ensemble des personnes qui ont pu m'aider d'un point de vue administratif : Pascale Maillet et Catherine Soullignac à STMicroelectronics, Christine Bogdan et Simone Dang Van à l'IMS Bordeaux.

Je remercie l'ensemble des membres de l'équipe CCDS-Sx de Sébastien Dedieu qui m'ont chacun apporté une partie de leur expérience et de leur savoir-faire : Emmanuel Chataigner, Marc Houdébine, Stéphane Razafimandimby, Hani Sherry, Renald Boulestin, Davy Thevenet, Christophe Grun-drich, ainsi que les autres personnes de l'entreprise ayant apporté une contribution à ma thèse : Abhirup Lahiri, Mathilde Sié, Philippe Cathelin, Frédéric Paillardet, Florence Rodriguez, Frédéric Bailleul, Jean-Pierre Blanc, Laurent Bastères, Lionel Vogt, Thomas Quemerais et Cédric Durand. J'adresse également mes remerciements à Baudouin Martineau, Philippe Ferrari, Gilles Sicard et Alexandre Siligaris pour les connaissances qu'ils ont pu m'apporter durant cette thèse ou durant les années antérieures.

Les différentes mesures réalisées tout au long de cette thèse ont été effectuées à la fois du côté de l'IMS Bordeaux et à STMicroelectronics Crolles. Je remercie donc Magali De Matos (IMS Bordeaux), Françoise Baille, Julien Morelle et Daniel Gloria (STMicroelectronics) pour leur compétences et savoir-faire qui m'ont permis d'obtenir des résultats de mesures concluants.

Je remercie Antoine Frappé, Baptiste Grave et Fikre Tsigabu (IEMN Lille) pour les différents échanges réalisés par rapport au projet Wendy.

Je remercie aussi les différents doctorants que j'ai pu côtoyer à l'IMS Bordeaux : François Fadhuile, Hassene Kraïma, Raffaele Severino, Warda Benhadjala, Quentin Beraud Sudreau, Paolo Lucchi, Dwight Cabrera, Yoann Abiven, Adrien Tuffery, Nejdat Demirel, Massar Wade, Marco Santorelli, Maura Magallo, François le Henaff ainsi que ceux que j'ai rencontré à STMicroelectronics Crolles : Sophie Drean, Julien Kieffer, Tekfouy Lim, Emmanuel Chery, Camilo Salazar, Milovan Blagojevic, Dajana Danilovic et Thomas Souvignet.

Je remercie ceux qui bien que n'étant pas directement impliqué dans ma thèse m'ont permis de passer de bons moments à STMicroelectronics : Vincent Knopik, Frederic Giancesello, Romain Pilard et Pierre Busson, ainsi que mes différents voisins de bureau (et compagnon de Chartreuses !) : Aurélien Larié, Boris Moret et Florian Voineau qui ont su rendre mes journées de travail plus agréable.

Je remercie les amis qui m'ont accompagné tout au long de cette thèse, avec qui j'ai eu la chance de partager de très bons moments bien que je n'ai pas toujours eu la possibilité d'être présent auprès d'eux : Cyril Bottoni, Nicolas Delaunay, Can Kaya Akyel, Raphael Roder, Edouard Divay, Céline Gandolfi, Sébastien Renard, Naïm Grief et Ivaylo Minchev.

J'en profite aussi pour remercier mes amis les plus proches sur qui je sais que je pourrai toujours compter : Etienne Tonnelle, Sébastien et Valérie Taverna. Avec un remerciement spécial pour Nicolas Martin mon compagnon de thèse, avec qui nous avons partagé beaucoup de bons moments sur Bordeaux et Grenoble.

Je tiens à remercier tout particulièrement mes parents qui ont toujours fait tout leur possible pour me rendre heureux et m'ont donné toutes les armes pour réussir dans la vie. Merci à mes sœurs pour m'avoir supporté durant toutes ces années et surtout merci à Evgeniya, avec qui j'ai la chance de partager ma vie, pour son amour au quotidien.

Introduction

Le monde de la micro-électronique radiofréquence est actuellement dicté par les besoins des marchés présents et futurs, entraînant perpétuellement une véritable recherche de la haute performance. Les besoins toujours plus importants en termes de débit, modulations et faible consommation, entraînent de manière inéluctable une évolution des standards de télécommunications ainsi qu'une complexification des technologies et circuits intégrés conçus. L'accroissement de l'implantation des systèmes de télécommunications au sein des objets a finalement fait apparaître un besoin de convergence entre différents standards, afin de pouvoir faciliter les échanges au travers d'une même interface. C'est ainsi le cas de la convergence WiFi-WiGig, dont le but est de pouvoir créer un émetteur-récepteur capable de transmettre, en fonction des besoins, des données répondant aux standards du WiFi (802.11.n et 802.11.ac) ou du WiGig (802.11.ad) dans le cadre de communication haut débit.

Le travail rapporté dans ce manuscrit, est finalement directement inscrit dans l'optique de la convergence WiFi-WiGig puisqu'il est axé sur le développement d'un synthétiseur de fréquence faible consommation capable de répondre aux spécifications imposées par les standards du WiFi et du WiGig. L'une des difficultés majeures imposée par cette convergence est l'important écart compris entre 3 différentes bandes de fréquences devant être allouées. Nous verrons aussi par la suite que l'un des autres enjeux majeurs de cette thèse réside dans l'exploitation des propriétés de la technologie 28 nm FDSOI CMOS, afin d'obtenir les meilleures performances possible dans le domaine millimétrique.

Le premier chapitre de cette thèse commence tout d'abord par introduire le lecteur aux spécifications imposées par la convergence WiFi-WiGig, afin de mettre en évidence les différentes problématiques imposées par cette dernière. Ce chapitre présente ensuite l'architecture du synthétiseur de fréquences conçu, ainsi que la conception détaillée des différents éléments composant la PLL.

Le second chapitre est essentiellement centré sur la conception des oscillateurs millimétriques large bande et faible consommation. Une synthèse des différentes topologies d'oscillateur est présentée au cours de ce chapitre dans le but de déterminer l'architecture la plus adéquate en fonction des besoins spécifiés par l'étude système préalablement établie. Ce chapitre met en avant une réelle méthodologie de conception en technologie 28 nm FDSOI CMOS en prenant compte des divers avantages et contraintes apparaissant dans le cadre de la conception d'oscillateur millimétrique sur des nœuds technologiques avancés.

Le troisième chapitre est dédié à l'analyse des résultats de mesures obtenues ainsi qu'à la présentation de plusieurs perspectives d'amélioration concernant la PLL. La première idée d'amélioration est centrée sur la conception d'oscillateur millimétrique très hautes performances comprenant une ligne de transmission à ondes lentes en remplacement des inductances communément utilisées. La seconde idée est quant à elle basée sur l'utilisation d'oscillateurs à anneaux synchronisés afin de considérablement réduire la consommation des diviseurs de fréquences millimétriques compris au sein de la PLL.

Synthétiseur de fréquences multi-standards

1. Généralités sur les PLL

1. Fonctionnement de la PLL analogique

La boucle à verrouillage de phase (aussi appelée PLL pour Phase-Locked Loop) est un circuit devant réaliser un asservissement de phase d'un signal de sortie par rapport à un signal de référence possédant une importante pureté spectrale. La fréquence de sortie du VCO est habituellement bien plus grande que celle des quartzs régulièrement utilisés pour générer le signal de référence, ce qui implique l'utilisation d'un diviseur de fréquence afin d'obtenir en sortie deux signaux de fréquences identiques en entrée du comparateur de phase (Phase Frequency Detector). L'ensemble PFD-CP a pour but de fournir un courant en entrée du filtre de boucle (LPF) de la PLL, proportionnel à l'écart de phase entre $F_{réf}$ et $\frac{F_{sortie}}{N}$. Tandis que le filtre de boucle passe bas doit quant à lui être capable de transformer son courant d'entrée en tension de contrôle pour le VCO, tout en réalisant un filtrage des raies parasites dans la bande et hors bande.

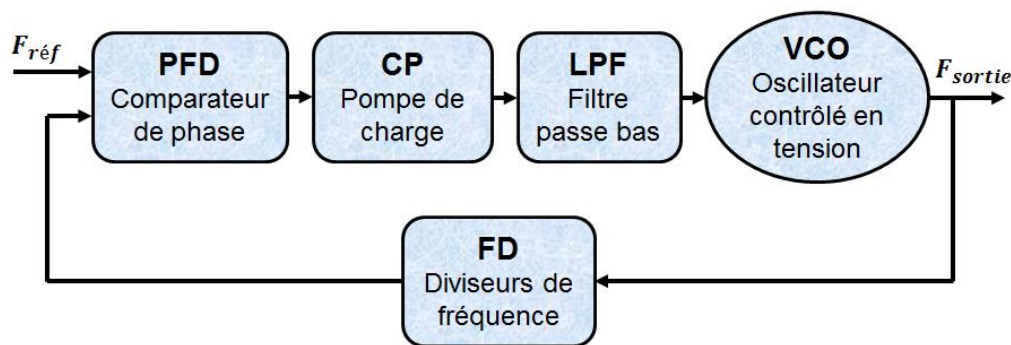


Figure 1 – Présentation d'une architecture classique de PLL analogique

Les PLLs analogiques sont principalement réputées pour leurs bonnes performances RF, notamment en bruit de phase (figure 1). Cette topologie souffre cependant d'un encombrement en surface relativement important, essentiellement dus à l'utilisation d'un filtre de boucle passe bas possédant des éléments de grandes dimensions. La PLL étant une boucle fermée, il est nécessaire de concevoir chaque élément la composant avec soin puisque le dysfonctionnement d'un seul de ces éléments s'avérerait être critique pour l'ensemble de la boucle. Comme nous le verrons par la suite, dans le domaine des fréquences millimétriques, ce sont finalement le VCO et les diviseurs hautes fréquences qui s'avèreront être les éléments les plus difficiles à concevoir.

2. Modèle linéaire

Il est possible de décrire, dans un premier temps, le fonctionnement global de la PLL via l'utilisation d'un modèle linéaire. Cette méthode consiste à réaliser un modèle simplifié de chaque élément dans les conditions de fonctionnement réelles de la PLL [HOUDEBINE 2006].

a. VCO

Le VCO peut dans un premier temps être approximé comme étant un bloc fournissant une fréquence de sortie en fonction de la tension appliquée à son entrée :

$$F_{sortie} = K_0 \cdot V_0 \quad (1.1)$$

K_0 Etant le gain Fréquence-tension et V_0 (aussi appelée V_{tune}) la tension de contrôle obtenue en sortie du filtre de boucle.

b. Ensemble PFD-CP

Comme expliqué précédemment, le rôle du comparateur de phase est d'analyser l'écart de phase entre ses deux signaux d'entrée :

$$\Delta\varphi = 2\pi \cdot \frac{\Delta t}{T_{réf}} \quad (1.2)$$

L'écart de phase obtenue est par la suite transformé de manière proportionnelle en un courant directement envoyé au sein du filtre de boucle, qui est moyenné afin de simplifier le modèle linéaire :

$$I_{moyen} = \frac{I_{max}}{T_{réf}} \cdot \Delta t \quad (1.3)$$

Ce qui permet finalement d'obtenir, en mixant les équations (1.2) et (1.3), la valeur du courant moyen fournit en fonction de l'erreur de phase :

$$I_{moyen} = \frac{I_{max}}{2\pi} \cdot \Delta\varphi \quad (1.4)$$

c. Filtre de boucle

Le filtre de boucle a pour but de filtrer les harmoniques (spurious) générés par l'ensemble « PFD-CP » afin de ne présenter en entrée de l'oscillateur en tension que la composante continue du signal en sortie de la pompe de charge. Il est préférable d'utiliser un filtre possédant une sélectivité élevée afin de réduire l'amplitude des raies parasites, ce qui implique l'utilisation de filtre d'ordre important. La fonction de transfert du filtre de boucle Z_{LPF} sera détaillée plus loin dans ce chapitre.

d. PLL

Le modèle linéaire de la PLL peut finalement être défini par le schéma suivant :

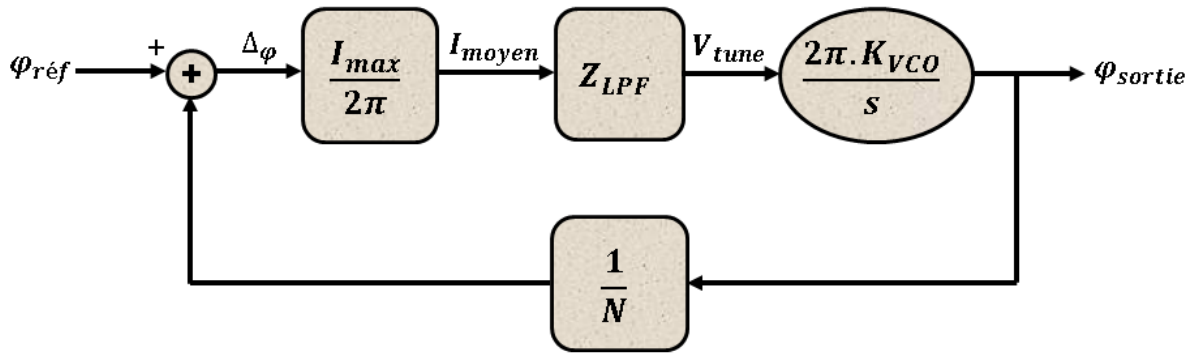


Figure 2 – Modèle linéaire de la PLL

Il est ainsi possible d'obtenir une approximation du gain en boucle fermée :

$$G_{BF} = \frac{\frac{I_{max} \cdot Z_{LPF} \cdot K_{VCO}}{s}}{1 + \frac{I_{max} \cdot Z_{LPF} \cdot K_{VCO}}{N \cdot s}} \quad (1.5)$$

$$G_{BF} = \frac{I_{max} \cdot Z_{LPF} \cdot K_{VCO}}{s \left(1 + \frac{I_{max} \cdot Z_{LPF} \cdot K_{VCO}}{N \cdot s}\right)} \quad (1.6)$$

$$G_{BF} = \frac{I_{max} \cdot Z_{LPF} \cdot K_{VCO}}{s + \frac{I_{max} \cdot Z_{LPF} \cdot K_{VCO}}{N}} \quad (1.7)$$

Ainsi qu'une approximation du gain en boucle ouverte, permettant d'avoir un aperçu de la marge de phase :

$$G_{BO} = \frac{I_{max} \cdot Z_{LPF} \cdot K_{VCO}}{N \cdot s} \quad (1.8)$$

3. Etude de la stabilité

L'étude de la stabilité d'une PLL peut être directement réalisée en boucle ouverte grâce à l'observation de la marge de phase (boucle ouverte) et de la marge de gain (boucle fermée). Bien que l'utilisation d'une constante de temps élevée pour le filtre passe bas s'avère être bénéfique dans le cadre du filtrage, il convient néanmoins de modérer son importance afin de ne pas provoquer l'instabilité du système.

2. Contexte de la PLL multi-standards WiFi-WiGig

1. Besoins en fréquence

a. Convergence WiFi-WiGig

Le contexte de la convergence WiFi-WiGig s'inscrit au sein d'un programme d'agrandissement du débit d'échange de donnée dans le but de répondre aux besoins futurs des applications sans-fils [WENDY 2012]. En effet, bien que le WiFi soit actuellement utilisé au sein de nombreuses applications, il ne demeure pas moins un standard limité en termes de débits. Ces derniers se trouvant autours de 600 MB/s avec des canaux de 40 MHz pour le standard 802.11.n (WiFi 2.4 GHz) et 7 GB/s avec des canaux de 160 MHz pour le standard 802.11.ac (WiFi 5 GHz), dans le cas d'une occupation pleine de toute la bande de fréquences disponible. Il a donc été nécessaire d'envisager l'utilisation d'un autre standard possédant une plus importante bande passante. Le standard WiGig correspond finalement aux attentes escomptés en termes de flux de données puisqu'il possible d'obtenir des débits supérieurs à 10 GB/s pour le standard 802.11.ad (WiGig 60 GHz). Le potentiel de propagation du WiGig est cependant limité à l'air libre à cause de la proximité en fréquence d'une bande d'absorption de l'oxygène, restreignant sont utilisation à quelques applications, présentées sur la figure 3 :

- Synchronisation sans fil de divers appareils (ordinateurs, téléphones mobiles, appareils photos, tablettes...)
- Affichage sans fil (télévision, rétro-projecteurs...)
- Connexion sans fil des périphériques
- Amélioration momentanée du flux internet (en complément du WiFi)

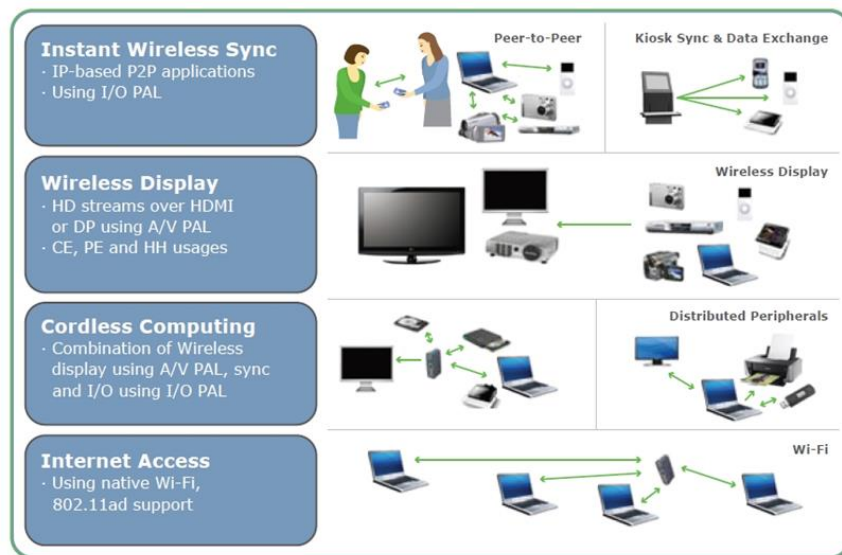


Figure 3 – Cas d'utilisation de l'éco-système WiFi-WiGig [WENDY 2012]

b. Architecture RX

Les récepteurs utilisés dans le cadre du projet Wendy ont principalement été conçus par Baptiste Grave à l'IEMN Lille [GRAVE 2014]. Le récepteur de la partie WiFi est présenté sur la figure 4. Ce récepteur effectue un échantillonnage à la fréquence de la porteuse du signal RF reçu, afin de transposer ce dernier en bande de base. Il nécessite donc l'utilisation d'un synthétiseur de fréquence capable de lui fournir les fréquences des standards WiFi à 2.4 GHz et 5 GHz. Les mesures réalisées sur un premier circuit de test ont finalement permises de mettre en évidence une validité du fonctionnement pour des fréquences d'entrées comprises entre 1 GHz et 7.1 GHz, justifiant l'utilisation de cette architecture dans le cadre d'une application faible coût.

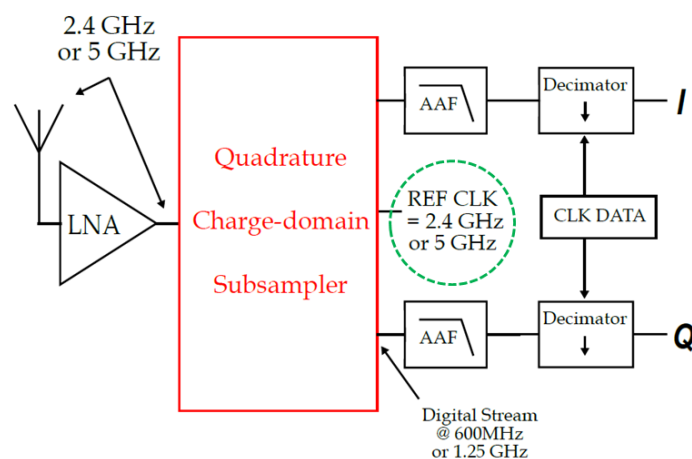


Figure 4 – Architecture complète du récepteur WiFi [GRAVE 2014]

Le récepteur de la partie WiGig utilise quant à lui un principe de sous-échantillonnage afin de pouvoir extraire l'information provenant d'un signal à fréquence intermédiaire situé à 21.12 GHz pour finalement effectuer une démodulation IQ. Grâce à cette architecture, visible sur la figure 5, il est possible d'effectuer le décodage d'un flux de données BPSK ou QPSK à 1.76 GHz avec un taux d'erreur binaire inférieur à 10^{-3} pour des puissances d'entrée comprises entre -10 dBm et 5 dBm. Ce récepteur nécessite l'utilisation d'un synthétiseur de fréquence capable de pouvoir fournir une fréquence d'horloge à 7.04 GHz, ainsi que les fréquences centrales des canaux du WiGig transposées de 21.12 GHz vers les basses fréquences [GRAVE 2013].

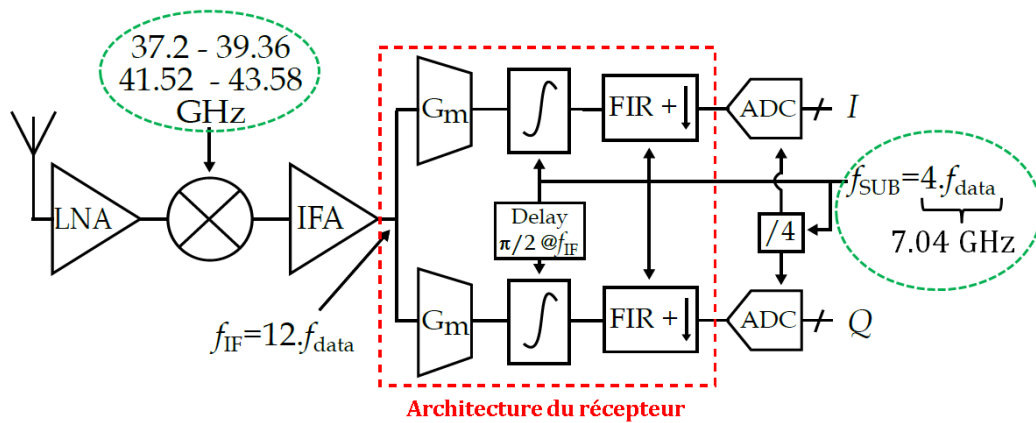


Figure 5 – Architecture complète du récepteur WiGig [GRAVE 2014]

c. Architecture TX

L'architecture de la partie transmission était quant à elle encore à l'étude lors du déroulement de cette thèse, ce qui a donc impliqué l'utilisation d'une architecture de synthétiseur de fréquence flexible afin de pouvoir facilement répondre aux futurs besoins en fréquences. Différentes architectures ont été envisagées par Fikre Tsigabu (IEMN Lille) afin de permettre un transfert des données par le WiFi (figure 6) ou par le WiGig (figure 7).

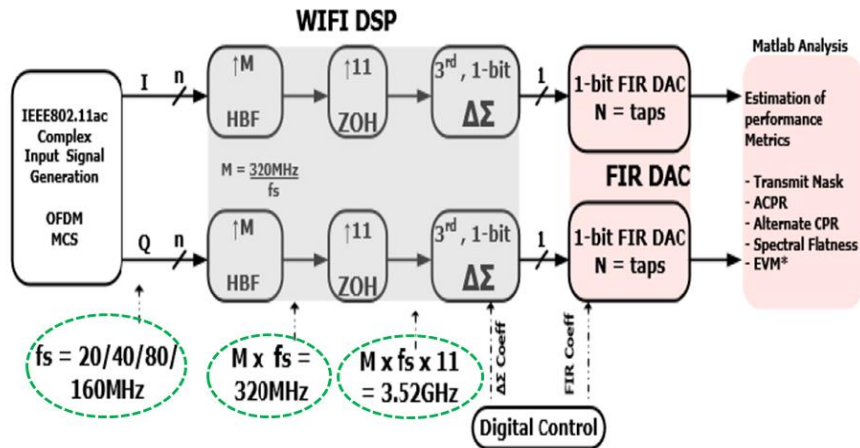


Figure 6 – Architecture initiale de l'émetteur WiFi [WENDY 2012]

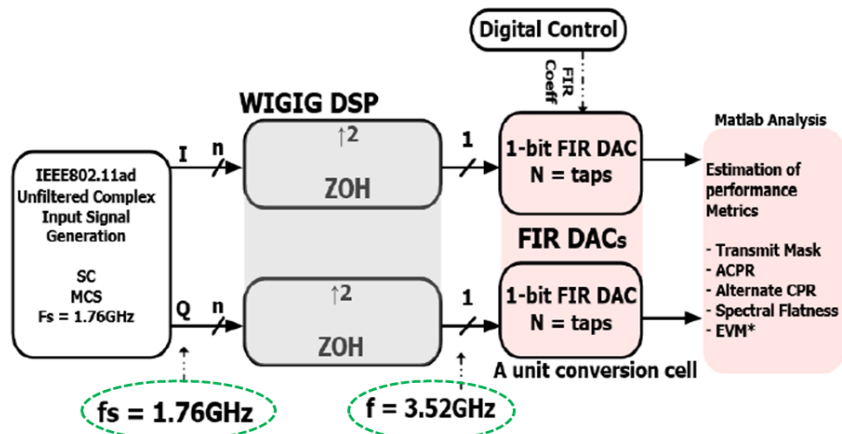


Figure 7 – Architecture initiale de l'émetteur WiGig [WENDY 2012]

Finalement l'ensemble des fréquences devant être générées par le synthétiseur de fréquences pour répondre aux besoins de la partie transmission (160 MHz, 320 MHz, 3.52 GHz, 1.76 GHz, 3.52 GHz) s'avèrent être des sous multiples de 21.12GHz. Cette fréquence est par la même occasion un multiple de la fréquence d'horloge spécifiée par l'architecture du récepteur en mode WiGig (7.04 GHz), ce qui permet d'envisager alors l'utilisation d'une même PLL pour fournir toutes ces fréquences.

d. Résumé des fréquences nécessaires

L'ensemble des fréquences connues devant être fournies par le synthétiseur de fréquences pour répondre aux besoins de l'émetteur/récepteur est finalement résumé dans le tableau ci-dessous :

Besoins en fréquences	Rx	Tx
WiFi 2.4 GHz	2.412 GHz <--> 2.472 GHz	160 MHz – 320 MHz – 3.52 GHz
WiFi 5 GHz	5.180 GHz <--> 5.700 GHz	160 MHz – 320 MHz – 3.52 GHz
WiGig 60 GHz	7.040 GHz	1.76 GHz – 3.52 GHz
	37.200 GHz – 39.360 GHz	
	41.520 GHz – 43.580 GHz	

Figure 8 – Tableau récapitulatifs des fréquences devant être générées par le synthétiseur de fréquences

2. Contraintes liées à la consommation et au bruit de phase

a. Consommation de la PLL

La convergence WiFi-WiGig s'inscrivant dans un cadre de faible consommation, il a donc été nécessaire d'appliquer la même approche lors de la conception du synthétiseur de fréquences. Une limitation a initialement été fixée à 50mW, impliquant diverses contraintes quant à l'obtention de très hautes performances pour certains blocs comme par exemple les VCOs ou bien les diviseurs de fréquences. Diverses techniques ont donc dû être employées afin de répondre aux spécifications du système sans pour autant franchir la limite de 50 mW.

b. Bruit de phase et conversion bruit de phase - jitter RMS

Deux résonnements différents sont utilisés pour caractériser le bruit en fonction des domaines d'applications. Dans le cadre de la conception d'oscillateur, il est habituel de prendre en considérations le domaine fréquentiel. Une attention toute particulière sera donc portée sur le bruit de phase qui s'avère être un rapport signal sur bruit à un offset en fréquence donnée. Cette considération ne peut toutefois pas être utilisée dans le cadre des systèmes d'échantillonnage, où une approche temporelle (jitter) s'avère être plus judicieuse pour mettre en évidence les imperfections de l'horloge d'échantillonnage. Le jitter RMS (ou valeur efficace du gigue en français) peut être directement calculer à l'aide de la DSP (Densité Spectrale de Puissance) [MAXIM 2004] :

$$Jitter_{RMS} = \frac{1}{2\pi \cdot f_0} \int_{f_{min}}^{f_{max}} DSP(f) \cdot df \quad (1.9)$$

$$Jitter_{RMS} = \frac{\sqrt{2 \cdot 10^{\frac{\int_{f_{min}}^{f_{max}} L(f) \cdot df}{10}}}}{2\pi \cdot f_0} \quad (1.10)$$

Comme présenté dans [KESTER 2008] et [DRAKHLIS 2001], il est bien souvent préférable de simplifier le calcul de l'intégral de la densité spectrale de puissance par une décomposition de l'ensemble en sous parties composées de deux points.

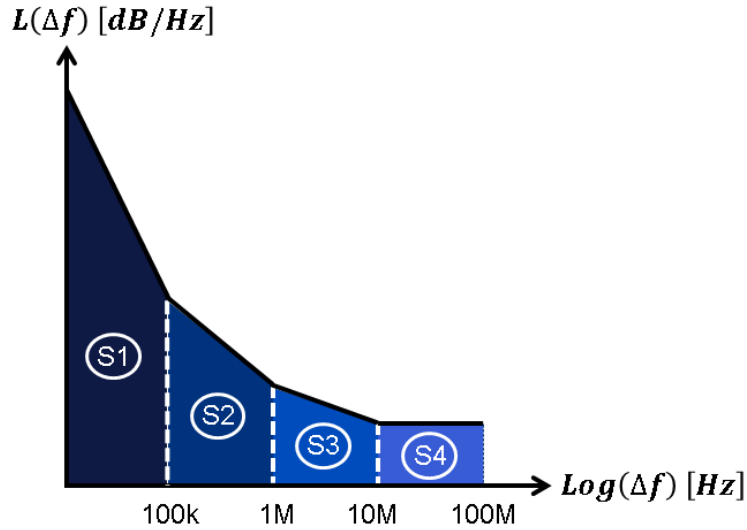


Figure 9 – Décomposition du bruit de phase pour calcul simplifié du jitter RMS

Il est ainsi possible, en se référant à la figure 9, de pouvoir déterminer le jitter RMS (s) comme étant :

$$Jitter_{RMS} = \frac{\sqrt{2 \cdot 10^{\frac{S1+S2+S3+S4}{10}}}}{2\pi \cdot f_0} \quad (1.11)$$

S2 étant dans cet exemple égale à :

$$S2 = \frac{L(1 \text{ MHz}) - L(100 \text{ kHz})}{2} + 10 \cdot \log_{10}(1 \text{ MHz} - 100 \text{ kHz}) \quad (1.12)$$

3. Etude système

a. Architecture

Une étude système a été menée dans le but d'obtenir les meilleures performances possibles en termes de bruit de phase, tout en gardant une consommation inférieure à 50 mW ainsi qu'une surface relativement faible. Comme présenté auparavant l'une des principales contraintes est la nécessité de devoir fournir à la fois une fréquence d'horloge fixe à 7.04GHz en même temps que les fréquences d'un WiGig bis autour de 40 GHz [GRAVE 2003] dans le cas de la réception WiGig. L'utilisation d'une unique PLL pour permettre la génération de ces deux signaux simultanément n'est pas envisageable du fait des limitations en fréquences des diviseurs de fréquences fractionnaires, principalement dues aux contraintes de temps de basculement des portes logiques les composants. De plus les différences de spécifications des standards WiFi et WiGig imposent l'utilisation de deux pompes de charges et deux filtres boucles adaptés à leur besoin, ce qui justifie l'utilisation de deux PLLs distinctes. Un quartz commun est utilisé dans un souci d'intégration. La fréquence de ce dernier résulte généralement d'un compromis entre la stabilité de la PLL et le choix du type de diviseur de fréquences. Mais comme nous le verrons plus loin dans ce manuscrit l'utilisation d'un diviseur fractionnaire s'avère être obligatoire pour être opérationnel à la fois pour les standards WiFi et WiGig. L'utilisation d'un quartz à 26 MHz semble finalement être le meilleur compromis pour obtenir de bonnes performances en bruit de phase, sans pour autant dégradé la stabilité de la PLL avec l'utilisation d'une fréquence de référence trop basse. On retrouve ci-dessous les performances en bruit de phase du quart 26 MHz VT-822 de Vectron [VECTRON 2014], utilisé dans le cadre du développement de la PLL :

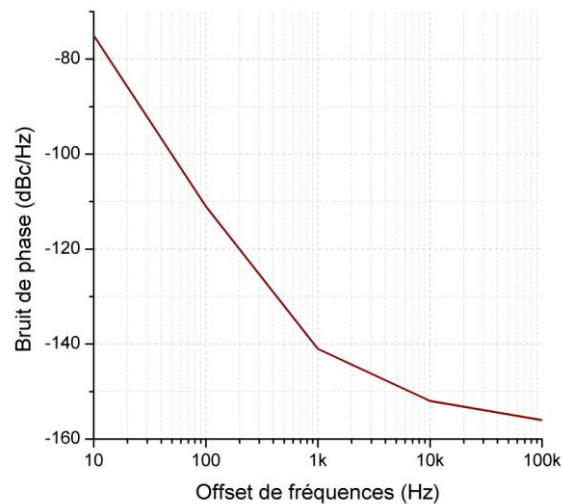


Figure 10 – Performances en bruit de phase du quartz 26 MHz VT-822 de Vectron

Comme nous le verrons dans le chapitre suivant, les performances obtenues sur le VCO résultent d'un compromis entre les coefficients de qualité des éléments capacitifs et des éléments inductifs. Le choix d'utiliser une importante partie capacitive et donc des inductances de faibles valeurs pour obtenir de meilleures performances en termes de bruit de phase menant finalement vers la conception

de PLLs hautes fréquences, plutôt que de passer par l'utilisation de multiplieur de fréquences. Une première PLL est donc uniquement dédié à la génération du WiGig bis autour de 40 GHz, tandis qu'une seconde fonctionnant autour de 20 GHz est dédié à la génération des horloges à 7.04 GHz, 21.12 GHz, mais aussi aux canaux des standards WiFi à 2.4 GHz et 5GHz. L'architecture finale, présentée sur la figure 11, offre une importante flexibilité en plus de présenter une faible surface du fait de l'utilisation d'oscillateur hautes fréquences, possédant de petites inductances.

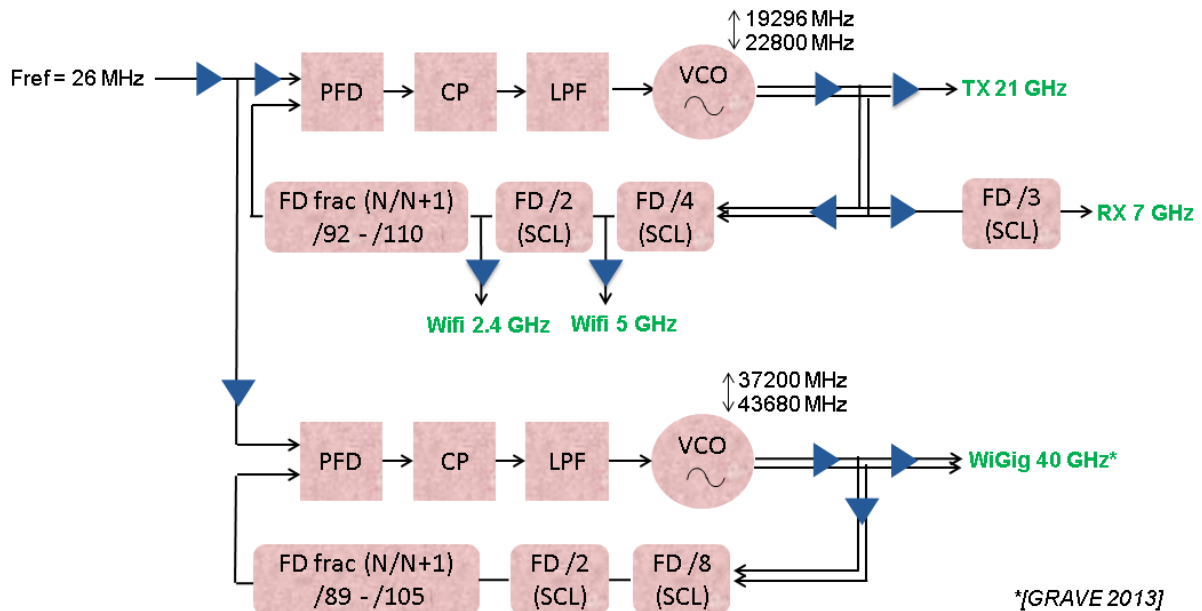


Figure 11 – Architecture complète du synthétiseur de fréquences proposé

b. Consommation

L'architecture du synthétiseur de fréquence a été optimisée en termes de consommation. Ce sont les oscillateurs et les diviseurs hautes fréquences qui s'avèrent être les éléments les plus consommateurs. Ceci étant en partie expliqué par l'orientation hautes performances suivie durant leur conception, alors qu'une approche très faible consommation a pu être appliquée pour les éléments fonctionnant à plus basses fréquences du fait de la réduction des contraintes. L'estimation de la consommation totale lors d'un fonctionnement en mode réception est présenté dans la suite de ce manuscrit. Comme on peut le voir sur les figures 12 et 13, des consommations totales d'environ 18 mW et 45 mW sont estimées respectivement lors des modes de réception WiFi et WiGig, ce qui est en corrélation avec les attentes initialement portées.

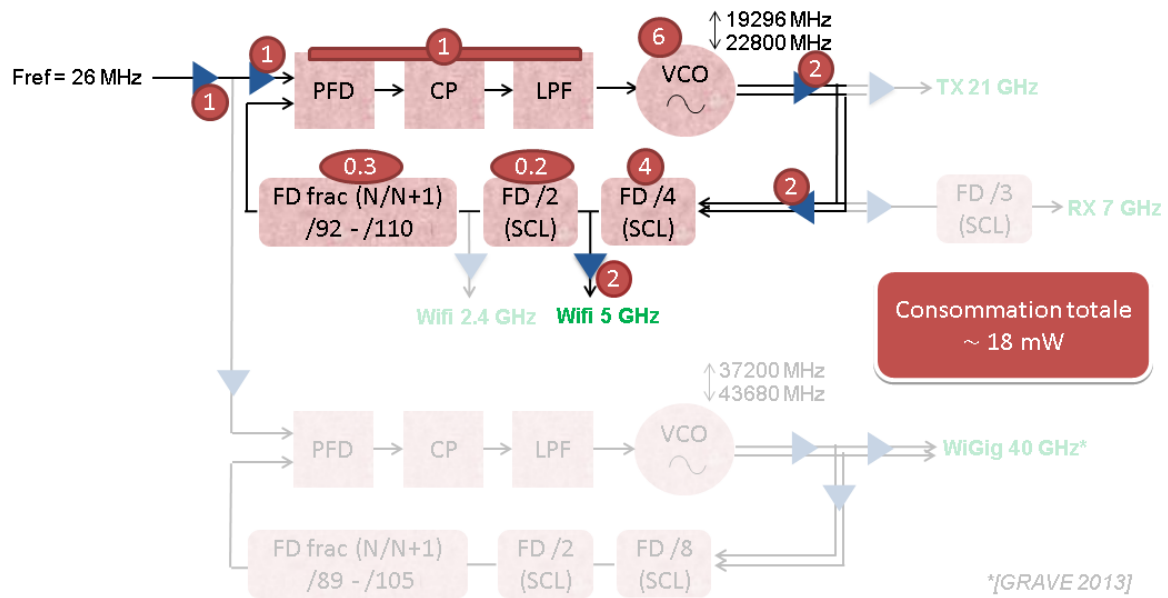


Figure 12 – Architecture et consommation totale de la PLL lors de la réception WiFi

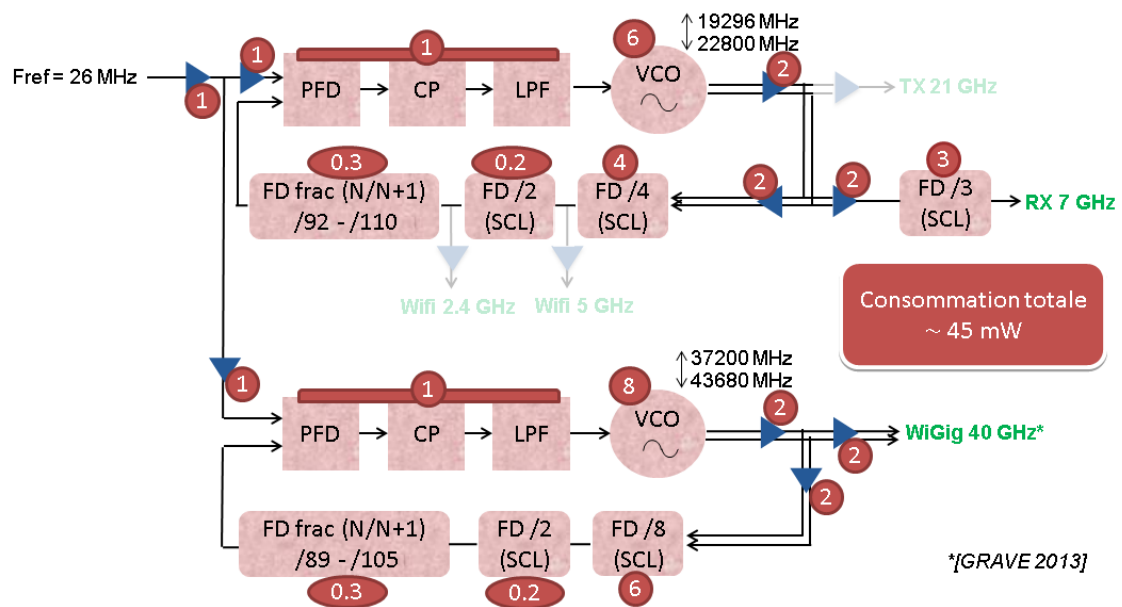


Figure 13 – Architecture et consommation totale de la PLL lors de la réception WiGig

Les difficultés de conception de la PLL 20 GHz étant moindres en comparaison de celle à 40GHz, nous avons choisi de concentrer l'ensemble du travail de thèse sur la conception de cette dernière. On notera cependant que la plupart des éléments conçus peuvent être réutilisés au sein des deux PLLs.

3. Diviseurs de fréquences millimétriques

1. Diviseurs SCL

a. Principe de fonctionnement

Les diviseurs de fréquence SCL (« Source Coupled Logic ») sont des diviseurs pouvant être employés jusqu'aux fréquences millimétriques. Ils ont la particularité d'avoir une consommation constante quel que soit leur mode de fonctionnement d'où leur appellation de diviseur statique. Ils sont généralement composés d'une paire de bascules D différentielle rebouclée sur elle-même (figure 14), ce qui revient conceptuellement à concevoir un oscillateur à anneaux cadencé sur la fréquence d'entrée du diviseur.

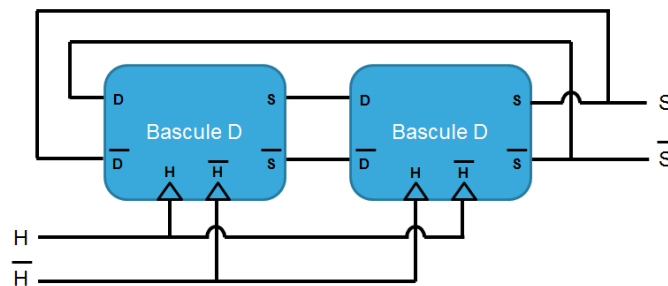


Figure 14 – Diviseur de fréquence par 2 (SCL)

Les bascules D différentielles étant définies par la topologie présentée sur la figure 15 [MOHANAVELU 2000] et [YUAN 2008].

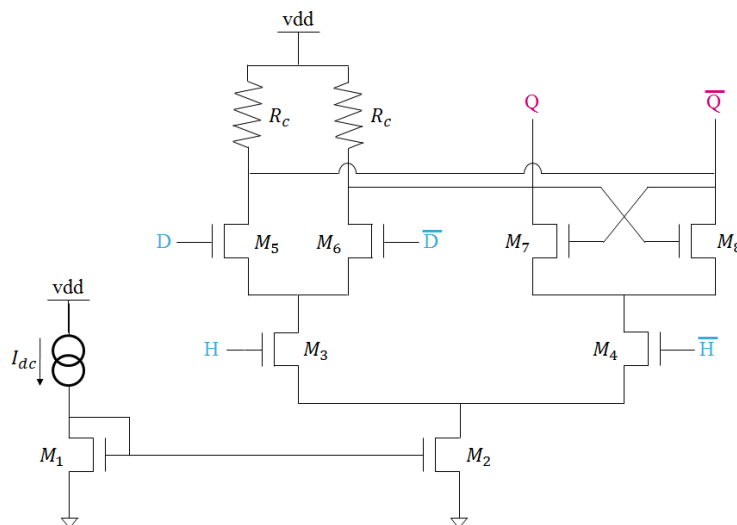


Figure 15 – Bascule D différentielle avec miroir de courant intégré

Bien que ceci puisse présenter diverses contraintes en termes de conception, il est préférable d'utiliser des miroirs de courant afin pouvoir de contrôler de manière précise le courant traversant chaque bascule D différentielle. L'ensemble des body des transistors NMOS composant chaque bascule D sont directement connecté au vdd (1 V) ce qui permet, comme nous le verrons dans le chapitre suivant, de minimiser le dimensionnement des miroirs de courant, tout en garantissant un layout plus compact grâce à l'utilisation d'une même tension de substrat pour tous les éléments le composant. Le diviseur de fréquence par 8 conçu dans le cadre de la synthèse de fréquences WiFi-WiGig est finalement constitué de 3 diviseurs SCL par 2 en cascade, chacun d'entre eux possédant une consommation adaptée aux besoins en fréquence spécifiés.

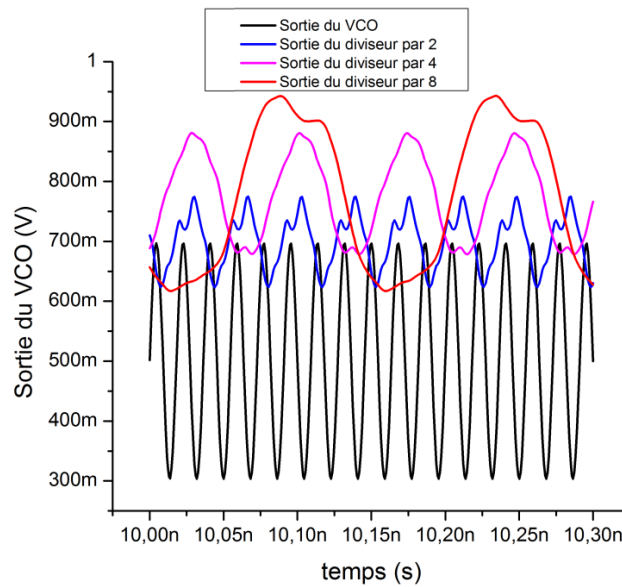


Figure 16 – Simulation temporelle en sortie des diviseurs de fréquences pour une fréquence d'entrée de 55 GHz

La fréquence de fonctionnement maximum du diviseur SCL est déterminée par temps de basculement des bascules D, lui-même étant proportionnel à la résistance de charge R_c et à l'ensemble des capacités vu au regard de la sortie C_{stot} :

$$f_{max} \propto \frac{1}{R_c \cdot C_{stot}} \quad (1.13)$$

Ce qui implique finalement une certaine limitation à haute fréquence, puisqu'il faut être capable de minimiser la résistance de charge R_c et le dimensionnement des transistors composant le diviseur SCL, tout en garantissant un gain suffisant en sortie de chaque étage. Ce dernier étant défini par :

$$G_{étage} = R_c \cdot g_{mM5} \quad (1.14)$$

Les contraintes de gain n'étant pas les mêmes pour un diviseur de fréquence fonctionnant à 40 GHz, 20 GHz ou 10 GHz, il est finalement possible d'adapter les consommations de chaque blocs en fonction de leur besoins. Les possibilités en termes de consommation sont néanmoins délimitées par le gain en sortie des diviseurs et par les contraintes d'excursions en tension aux bornes du miroir de courant NMOS. Pour un courant fixe au sein du diviseur de fréquence, il est alors possible d'observer une diminution du gain du premier diviseur menant à un décrochement du signal d'entrée (figure 17).

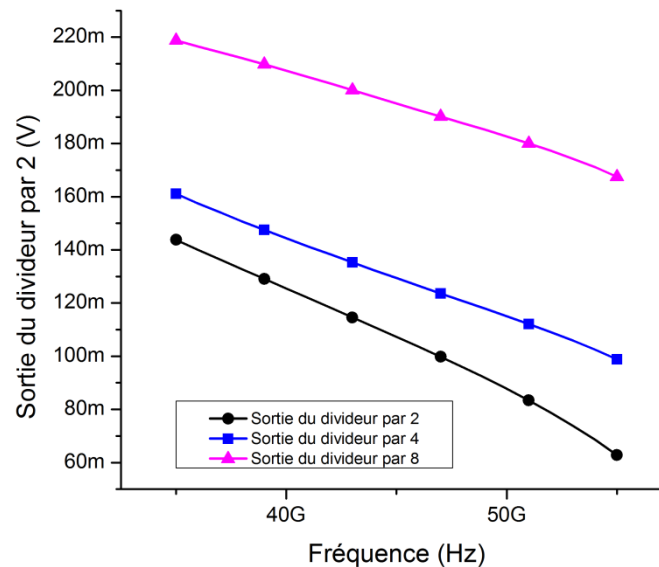


Figure 17 – Niveaux de sortie en tension des diviseurs de fréquences en fonction de la fréquence d'entrée

b. Conception

L'implémentation d'un diviseur de fréquence SCL s'avère être un point critique lorsque ce dernier est censé fonctionner à des fréquences millimétriques. Il est alors impératif de minimiser l'ensemble des capacités parasites ajoutées afin de réduire autant que possible leur impact sur la fréquence maximum de fonctionnement. Les nœuds technologiques avancés sont composés d'un empilement de métaux plus resserré que sur les technologies antérieures, ce qui justifie d'autant plus une précaution particulière lors de la disposition des différents éléments. Cependant ces technologies offrent aussi la possibilité d'utiliser des transistors de dimensions inférieures pour un gain équivalent, ce qui revient finalement à utiliser une approche de conception différente de celle employée sur des nœuds technologiques antérieurs.

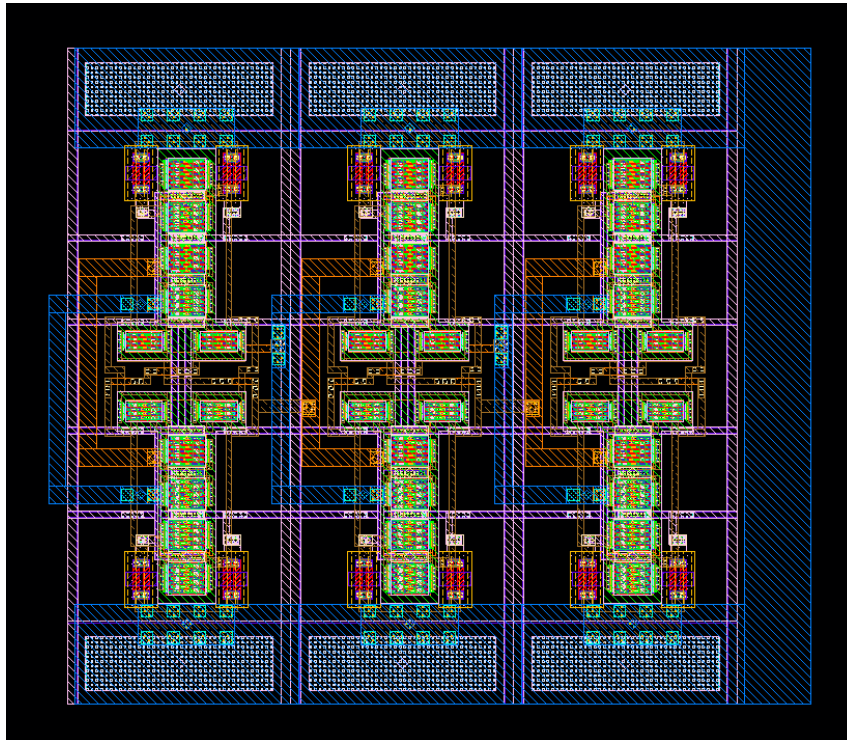


Figure 18 – Implémentation du diviseur de fréquences par 8 CMS (sans miroir de courant)

Les bascules D sont conçues de façon à pouvoir être facilement utilisées au sein d'un diviseur de fréquence par 2, via le respect d'une certaine symétrie et d'une anticipation des connections futures entre entrées et sorties. Il en est de même pour la réalisation des diviseurs de fréquences par 2, ces derniers étant réalisés dans l'optique de pouvoir être facilement utilisable au sein d'un diviseur par 8 (figure 18).

2. Oscillateurs synchrones LC paire croisée

a. Approche théorique

Le phénomène de synchronisation est un phénomène physique s'appliquant à de nombreux domaines. L'un des exemples les plus intuitifs pour en expliquer le fonctionnement est celui des pendules de Huygens [LINDSEY 1991]. Dans cet exemple, Christiaan Huygens, célèbre physicien du 17^{ème} siècle, raconte avoir observé, durant une période de convalescence, le mouvement de deux horloges à pendules placées côte à côte dans un plan référentiel commun. Il remarqua qu'au bout d'un certain temps écoulé, le mouvement des deux pendules finissait toujours par devenir synchrones, quel que soit le déphasage initial, les deux pendules fonctionnant alors en opposition de phase. Il finit par en déduire que le transfert d'énergie s'effectuant à travers le plan sur lequel étaient fixées les deux horloges à pendules, était la cause principale du mécanisme de synchronisation, ce qui permit de mettre en évidence de nombreuses perspectives liées à cette réalité physique.

De réelles applications en microélectronique radiofréquence tirent finalement bénéfices du phénomène de synchronisation [BADETS 2000]. C'est notamment le cas des diviseurs ou multiplieurs de fréquences pour lesquels il est alors possible d'envisager un accroissement des plages de fonctionnement en fréquences via une nouvelle approche topologique. Les oscillateurs synchronisés offrent donc de nouvelles perspectives en termes de synthèse de fréquences :

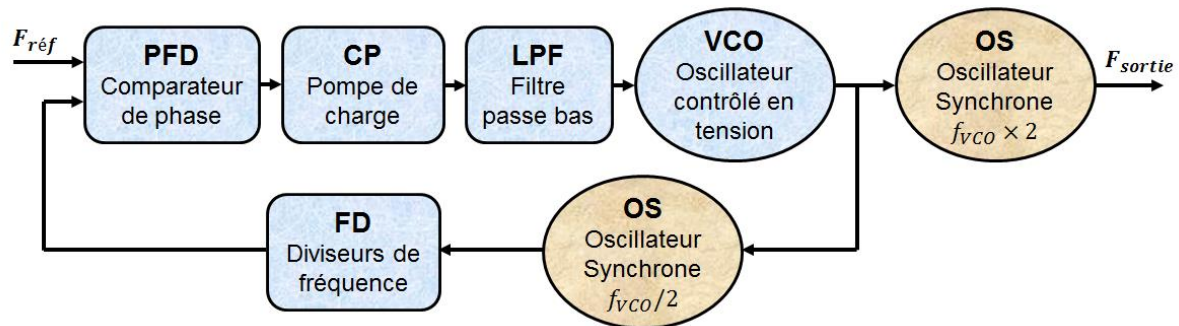


Figure 19 – Exemple d'incorporation d'oscillateurs synchrones au sein d'une PLL en tant que diviseur ou multiplieur de fréquences

Seuls les oscillateurs synchrones faisant office de diviseur de tension ont été étudiés dans le cadre de cette thèse. L'utilisation d'oscillateurs LC paire croisée est assez commune dans la littérature pour réaliser la fonction d'oscillateur synchrone, en particulier lors de la réalisation de diviseur de fréquences millimétriques [CHEEMA 2010] [FAN-HSIU 2006] :

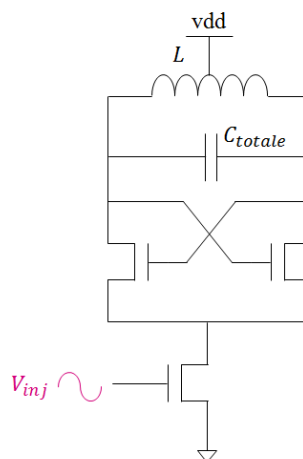


Figure 20 – Principe de fonctionnement d'un oscillateur synchrone LC paire croisée

L'utilisation d'une topologie oscillateur synchrone LC paire croisée s'avère être d'autant plus pertinente pour les fréquences millimétriques puisque, comme nous l'avons vu précédemment, pour ces dernières les diviseurs de fréquences à bascules sont plus assujetties à une certaine limitation technologique via les temps de basculements des portes logiques mais aussi leur nature large bande. L'une des méthodes de synchronisation les plus utilisées consiste à injecter directement le signal de sortie de l'oscillateur dans l'oscillateur synchronisé via le miroir de courant [MAZZANTI 2004] :

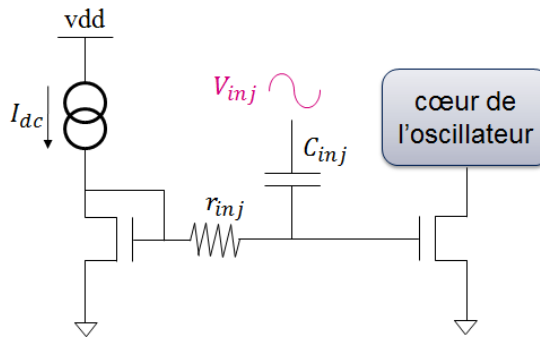


Figure 21 – Oscillateur synchronisé via le miroir de courant

Néanmoins cette topologie induit l'utilisation d'une grande capacité C_{inj} ainsi que d'une forte résistance r_{inj} qui est une importante source de bruit thermique ($4kTR$). Ce qui revient finalement à privilégier une injection via le body des transistors de la paire croisée dans le cadre d'une technologie SOI [HYE-RYOUNG 2004] [JIHYUN 2008] [JAESEOK 2008] :

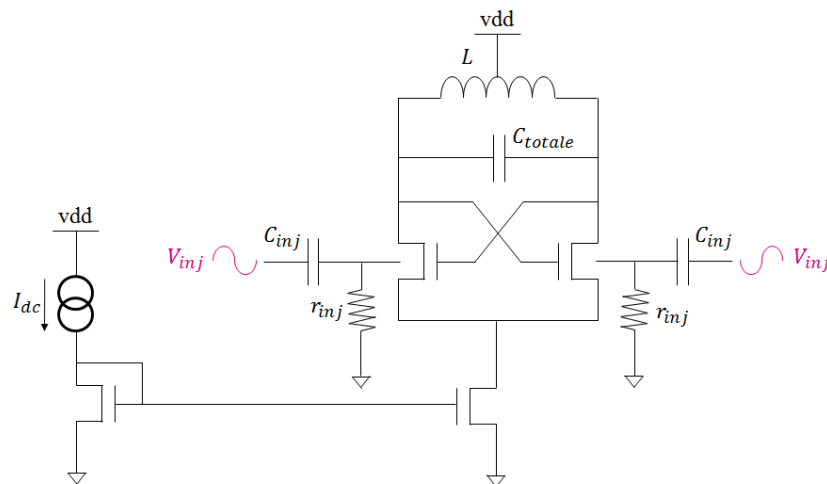


Figure 22 – Oscillateur synchronisé via le body de la paire croisée

Les oscillateurs synchrones sont reconnues comme étant des oscillateurs faible bande, ce qui explique en partie leur faible consommation relative aux fréquences millimétriques. Chaque oscillateur

synchrone est caractérisé par une plage de synchronisation déterminant, dans le cadre de notre étude, les bandes de fréquences pour lesquelles l'oscillateur synchrone effectuera une division par deux du signal V_{inj} injecté en entrée. Une des méthodes pouvant être utilisées pour déterminer la plage de synchronisation de l'oscillateur synchrone est le principe d'équivalence d'Huntoon et Weiss [HUNTOON 1947] présenté sur la figure ci-dessous :

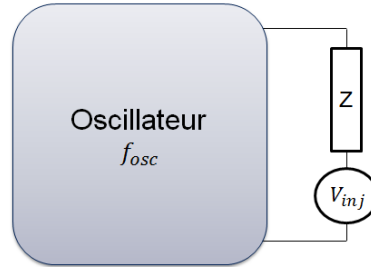


Figure 23 – Principe d'équivalence d'Huntoon et Weiss

La plage de synchronisation de l'oscillateur peut ainsi être directement définie par l'équation établie dans [Badets 2000] :

$$\Delta f = 2 \cdot \frac{E_F}{I_0} \cdot V_{inj} \quad (1.15)$$

E_F étant le coefficient d'élasticité, I_0 le courant traversant la charge et le générateur de synchronisation lorsque le signal de synchronisation est absent, et V_{inj} l'amplitude en tension du signal injecté dans l'oscillateur synchrone. Ce qui permet de mettre en évidence le fait qu'une importante amplitude en tension du signal se synchronisant et un faible courant au sein du circuit réalisant la synchronisation sont nécessaires pour accroître la plage de synchronisation.

b. Limitations

Toutefois, diverses limitations apparaissent quant à l'utilisation de diviseurs de fréquences synchronisés. Ces derniers impliquent généralement un coût en surface important lors de l'utilisation de diviseur de fréquence à topologie LC. Ce coût en surface étant d'autant plus accentué par les besoins d'écartements avec les inductances environnantes, déjà nombreuses au vu de l'architecture de synthétiseur de fréquence proposée, afin d'éviter tout problème de couplages électromagnétique [XIAOYAN 2003]. L'utilisation d'oscillateurs synchronisés à anneaux sera finalement privilégiée dans le cadre notre application, comme nous le verrons dans le dernier chapitre de ce manuscrit.

4. Diviseurs fractionnaires

1. Etat de l'art

a. Architecture multi-modulus

L'architecture de diviseur de fréquences multi-modulus (à modules multiples en français) est l'une des architectures les plus communément retrouvée au sein de la littérature [VAUCHER 2000] [YUAN 2013]. Son succès est avant tout dû à sa simplicité de mise en place mais aussi à son adaptabilité, puisqu'il est aisé de pouvoir utiliser ce type de diviseur de fréquence pour une multitude de standards différents.

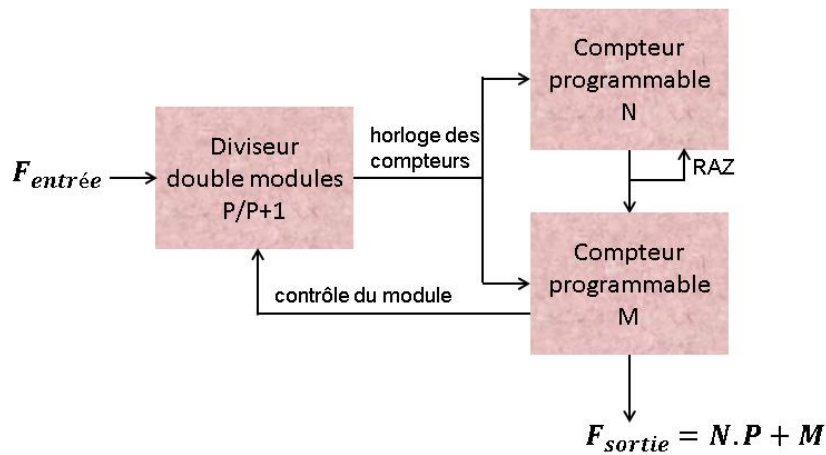


Figure 24 – Diviseur de fréquences programmable basé sur une architecture double modules

Le diviseur double modules (généralement appelé diviseur prescaler), évoqué dans [RAZAVI 1998], est composé de deux bascules D, une porte logique ET et une porte logique OU. Son architecture étant la suivante :

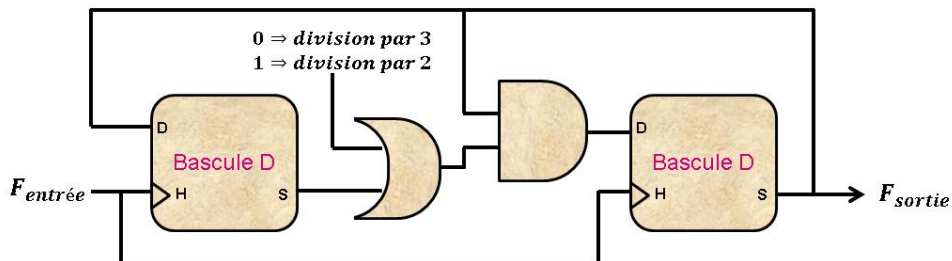


Figure 25 – Diviseur de fréquences par 2 ou 3

C'est principalement sur ce bloc que sont reportés l'ensemble des contraintes puisque cet élément fonctionne à la fréquence d'entrée du diviseur. Les inconvénients majeurs de l'architecture multi-modulus classique sont la résolution (le pas de division) et la génération de spurious à proximité de la porteuse. Ce dernier point sera présenté plus en détail dans la suite de ce chapitre.

b. Architecture utilisant des mixers

La réalisation d'un diviseur de fréquences fractionnaire peut aussi être envisagée avec l'utilisation d'un mixer. Différentes solutions ont précédemment été évoquées dans [JAEHYOUK 2010] et [DEGUCHI 2010]. La première, visible sur la figure 26, réalise directement le mixage de deux fréquences sous-multiples de la fréquence d'entrée.

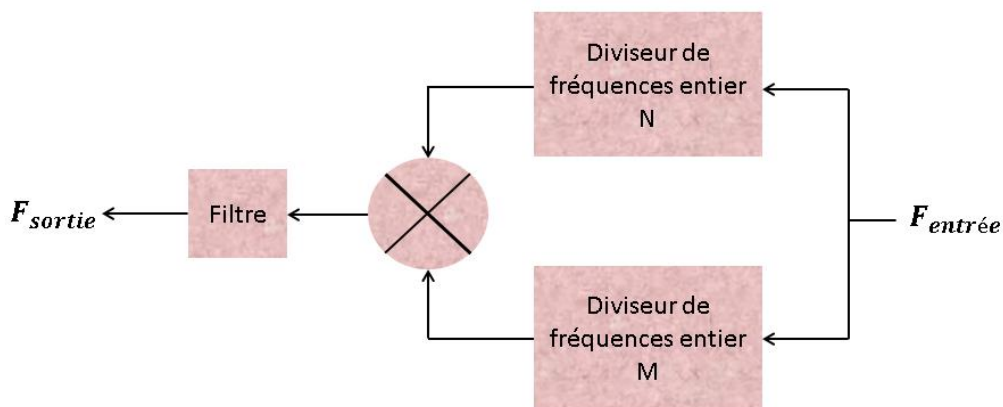


Figure 26 – Diviseur de fréquences fractionnaire utilisant un mixer et deux diviseurs de fréquences entiers

Alors que la seconde solution, que l'on peut observer sur la figure 27, effectue un mixage entre une fréquence sous-multiple de la fréquence d'entrée et une fréquence multiple de la fréquence de référence de la PLL.

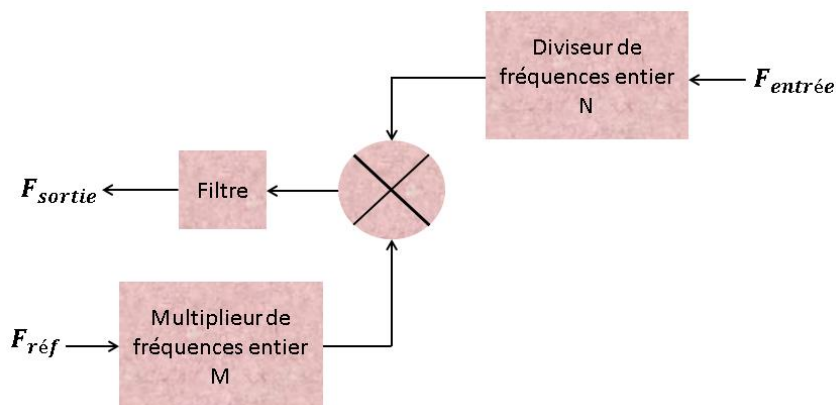


Figure 27 – Diviseur de fréquences fractionnaire utilisant un mixer, un diviseur et un multiplicateur de fréquences entiers

Ces architectures restent néanmoins limitées en termes de résolution de division. De plus il est difficile de filtrer efficacement les raies parasites provoquées par l'utilisation du mixer ce qui rend leurs utilisations discutables dans le cadre de la conception d'une PLL faible bruit.

2. Architecture proposée

a. Fonctionnement global

Le diviseur fractionnaire proposé utilise un fonctionnement de type « pulse swallowing » (avalancement d'impulsions), que l'on retrouve assez communément sur des diviseurs de multi-modulus dans le but de réaliser la partie fractionnaire de la division. Deux paramètres doivent être donnés par l'utilisateur (ou par la commande de la PLL) :

- N : le rang de division souhaité (nombre entier sans la partie fractionnaire)
- M : le nombre de fois où le compteur effectue une division par N (plutôt que par N+1)

Ces deux entrées sont chacune codées sur 5 bits et permettent de réaliser la division fractionnaire nécessaire pour obtenir la fréquence de sortie désirée en sortie de la PLL. La valeur de la division fractionnaire est égale à la moyenne des divisions effectuées lors des 26 derniers cycles ($F_{réf}$ étant égale à 26MHz) :

$$Division\ fractionnaire = \frac{N \times M + (N - 1) \times (26 - M)}{26} \quad (1.16)$$

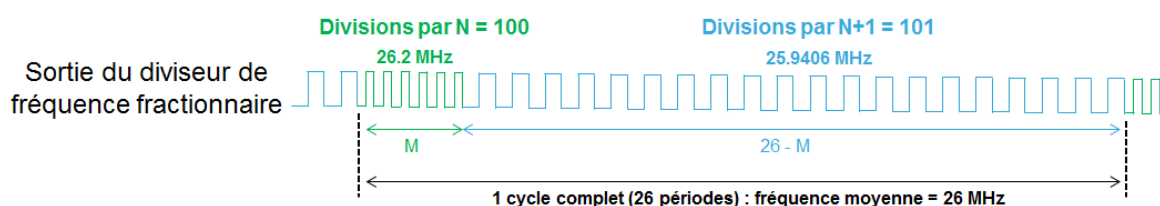


Figure 28 – Exemple de fonctionnement global du diviseur fractionnaire proposé ($F_{in} = 2620\text{ MHz}$, $N = 100$, $M = 8$)

Le tableau présenté en figure 29 liste ainsi toutes les valeurs de N et M à utiliser pour chaque bandes de fréquences couvertes par la PLL :

	F_{in} (MHz)	Nombres de divisions effectuées pour chaque rang de division (durant 26 cycles)																		Div
		89	90	92	93	94	95	96	99	100	101	102	103	105	106	107	108	109	110	
WiFi 2.4 GHz	2412			6	20															92,769
	2417			1	25															92,962
	2422				22	4														93,154
	2427				17	9														93,346
	2432				12	14														93,538
	2437				7	19														93,731
	2442				2	24														93,923
	2447					23	3													94,115
	2452					18	8													94,308
	2457					13	13													94,500
	2462					8	18													94,692
	2467					3	23													94,885
	2472						24	2												95,077
WiFi 5 GHz (÷ 2)	2590								10	16										99,615
	2600									26										100
	2610									16	10									100,385
	2620									6	20									100,769
	2630										22	4								101,154
	2640										12	14								101,538
	2650										2	24								101,923
	2660											18	8							102,308
	2750													6	20					105,769
	2760														22	4				106,154
	2770														12	14				106,538
	2780														2	24				106,923
	2790															18	8			107,308
	2800															8	18			107,692
	2810																24	2		108,077
	2820																14	12		108,462
	2830																4	22		108,846
	2840																	20	6	109,231
	2850																	10	16	109,615
WiGig (÷ 8)	2325	15	11																	89,423
	2460					10	16													94,615
	2595								5	21										99,808
	2730													26						105

Figure 29 – Tableau récapitulatif des rangs de divisions nécessaires pour chaque bande de fréquence

b. Architecture

L'architecture du diviseur de fréquences fractionnaire proposée (figure 30) a été conçu dans le but répondre aux exigences des standards WiFi et WiGig grâce à une solution faible consommation. Cette architecture peut être décomposée en deux parties. La première partie (en traits pleins rouges) contient essentiellement les éléments nécessaires pour réaliser la fonction de division par un nombre entier, tandis que la seconde (en pointillés verts) est composée des éléments permettant la partie fractionnaire de la division.

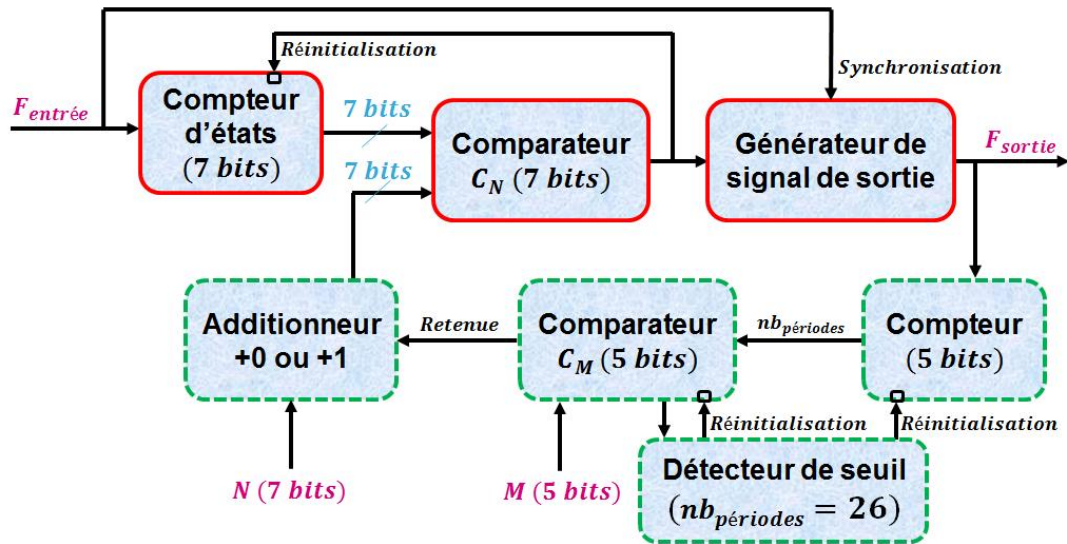


Figure 30 – Architecture initiale du diviseur de fréquence fractionnaire proposé (avec en traits pleins rouges les éléments fonctionnant à la fréquence d'entrée du diviseur, et en pointillés verts les éléments fonctionnant à 26 MHz)

L'une des particularités de cette architecture réside dans le fait que seuls les éléments constituant la partie entière de la division fonctionnent à la fréquence d'entrée du diviseur, alors que tous les autres ne fonctionnent qu'à la fréquence de la référence, soit 26 MHz. Il est ainsi possible d'obtenir une importante réduction en termes de consommation global du diviseur, en plus de permettre un fort relâchement des contraintes sur la partie fractionnaire du diviseur.

Le premier bloc à considérer pour comprendre le fonctionnement de cette architecture est le compteur d'états. Cet élément est directement synchronisé sur le signal d'entrée du diviseur fractionnaire ce qui incombe un certain nombre de contraintes en termes de conception puisque comparé à un compteur classique ne prenant en compte que les fronts montants ou descendants, le compteur d'état peut être vu comme un compteur fonctionnant à deux fois la fréquence d'entrée. Bien que fonctionnant en continu, il est régulièrement remis à zéro de façon asynchrone à chaque pulsation visible en sortie du comparateur 7 bits (C_N), dès lors que la sortie du compteur d'états atteint la valeur de N ou $N+1$ donnée par l'utilisateur. Chaque pulsation perçue en sortie du comparateur 7 bits (C_N) correspond à un changement d'état du signal de sortie (un front montant ou un front descendant). Sa remise en forme, en signal carré, est effectuée par l'intermédiaire du générateur de signal de sortie, qui permet de maintenir la valeur de la tension de sortie entre deux pulsations.

Le compteur 5 bits est quant à lui utilisé pour compter le nombre de périodes se produisant en sortie du diviseur. Ce compteur est automatiquement remis à zéro dès lors que 26 périodes se sont écoulées par l'intermédiaire du détecteur de seuil.

Le rôle du comparateur 5 bits (C_M) est d'effectuer une comparaison entre le nombre de périodes s'étant produites en sortie du diviseur depuis le début d'un cycle complet ($nb_{périodes}$), et la valeur de M entrée par l'utilisateur. Deux cas de figure sont alors possibles :

- $nb_{périodes} < M$: La retenue en entrée de l'additionneur devient 0
- $nb_{périodes} \geq M$: La retenue en entrée de l'additionneur devient 1

Ce qui permet, par l'intermédiaire de l'additionneur, de réaliser une modification de la valeur présentée en entrée du comparateur 7 bits (C_N), et donc de faire effectuer au diviseur une division par N ou N+1.

Une réduction du nombre de portes logiques utilisées a permis d'optimiser la consommation et réduire le nombre de bits de contrôle nécessaires, engendrant la transformation du comparateur 7 bits (C_N) en un ensemble composé d'un comparateur 5 bits (C_{Nbis}) et d'un petit circuit de simplification exploitant, quelques soit les rangs de division nécessaires pour les standards WiFi ou WiGig, les propriétés suivantes (figure 31) :

- b6 doit toujours être égale à 1
- b5 et b4 doivent toujours être différents

Rangs de division nécessaires	Entrées du comparateur 7 bits (C_N)						
	b6	b5	b4	b3	b2	b1	b0
89	1	0	1	1	0	0	1
90	1	0	1	1	0	1	0
92	1	0	1	1	1	0	0
93	1	0	1	1	1	0	1
94	1	0	1	1	1	1	0
95	1	0	1	1	1	1	1
96	1	1	0	0	0	0	0
99	1	1	0	0	0	1	1
100	1	1	0	0	1	0	0
101	1	1	0	0	1	0	1
102	1	1	0	0	1	1	0
103	1	1	0	0	1	1	1
105	1	1	0	1	0	0	1
106	1	1	0	1	0	1	0
107	1	1	0	1	0	1	1
108	1	1	0	1	1	0	0
109	1	1	0	1	1	0	1
110	1	1	0	1	1	1	0

Figure 31 – Tableau mettant en évidence les simplifications à effectuées pour le compteur 7 bits

Pour des raisons de facilité d'utilisation et de perspectives d'intégration au sein d'une PLL, il est aussi préférable d'instaurer une initialisation automatique du diviseur de manière à obtenir une sélection du premier rang de division (89) lorsque l'entrée N est égale à 00000. La solution la moins coûteuse en termes de consommation est finalement de passer par l'utilisation d'un additionneur +8 ou +9 en remplacement de l'additionneur +0 ou +1 initialement envisagé (figure 32).

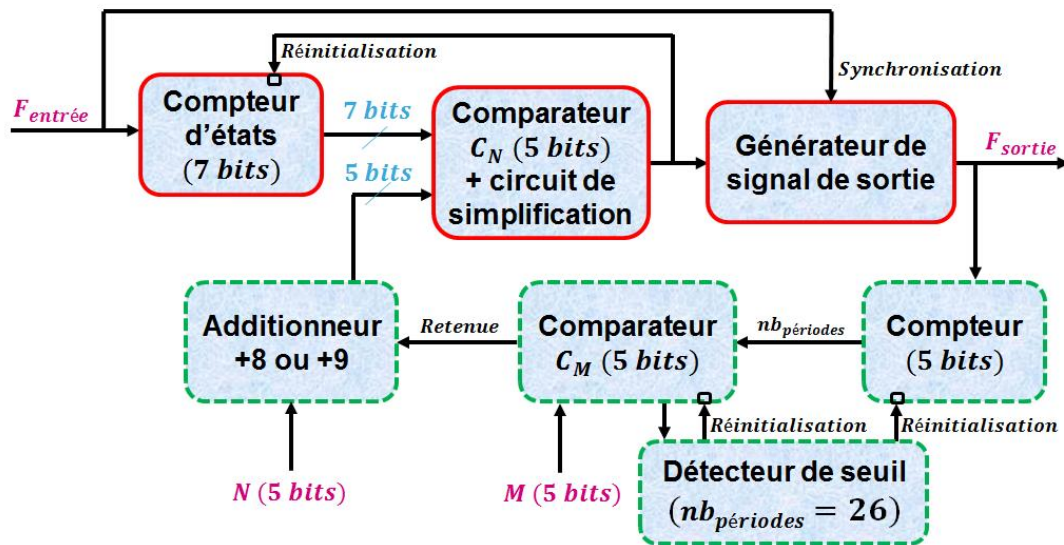


Figure 32 – Architecture améliorée du diviseur de fréquence proposé (avec en traits pleins rouges les éléments fonctionnant à la fréquence d'entrée du diviseur, et en pointillé verts les éléments fonctionnant à 26 MHz)

On notera que l'utilisation d'un convertisseur analogique-numérique (CAN) peut être envisagée dans le but de réduire le nombre de bit de contrôle.

c. Conception

La conception du diviseur de fréquence fractionnaire a été réalisée dans le but d'optimiser son fonctionnement en fréquence via une miniaturisation des capacités parasites sur les nœuds les plus critiques. Une attention tout particulière a été portée sur le compteur d'états 7 bits et sur le comparateur C_N du fait de leur fonctionnement à haute fréquence, sachant que l'architecture proposée offre l'avantage de ne posséder qu'un chemin critique principal : celui de la réinitialisation du compteur 7 bits.

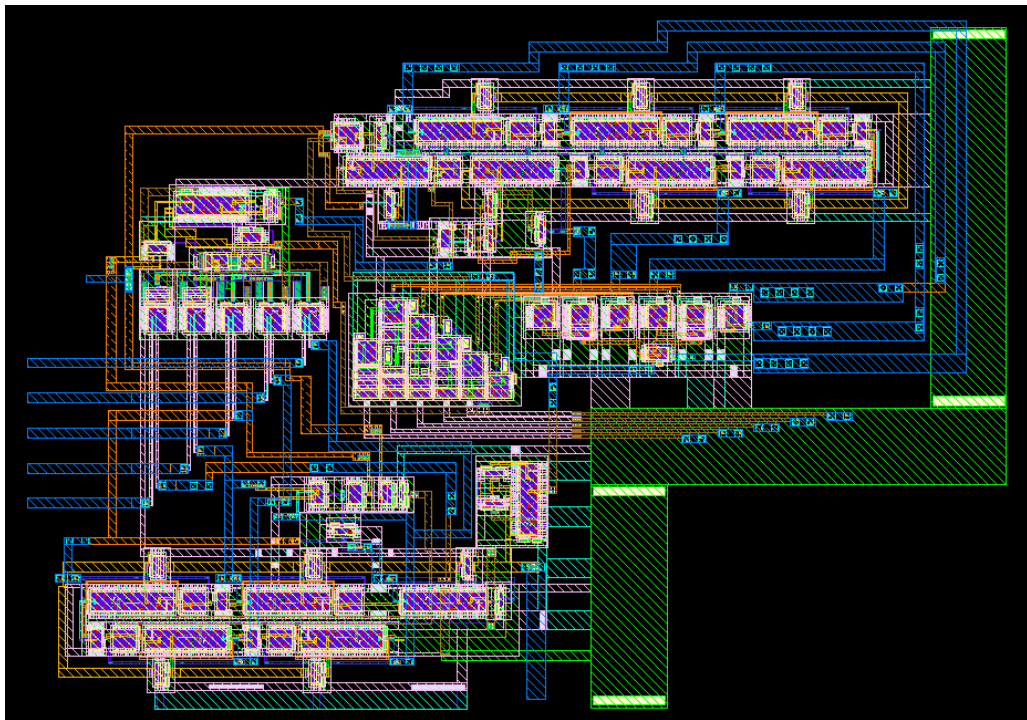


Figure 33 – Implémentation du diviseur fractionnaire complet

Les dimensions du diviseur fractionnaire sont de $50\mu\text{m} \times 37\mu\text{m}$. Ce circuit n'a cependant pas pu être envoyé en fabrication par manque de temps.

3. Simulations

a. Compteur d'états

Une certaine limitation semble finalement apparaître pour des fréquences d'entrées du diviseur supérieur à 3 GHz car le chemin de remise à zéro du compteur d'état intervient alors dans un laps de temps supérieur à celui d'une demi-période du signal d'entrée (figure 34). Deux solutions sont possibles pour résoudre ce problème.

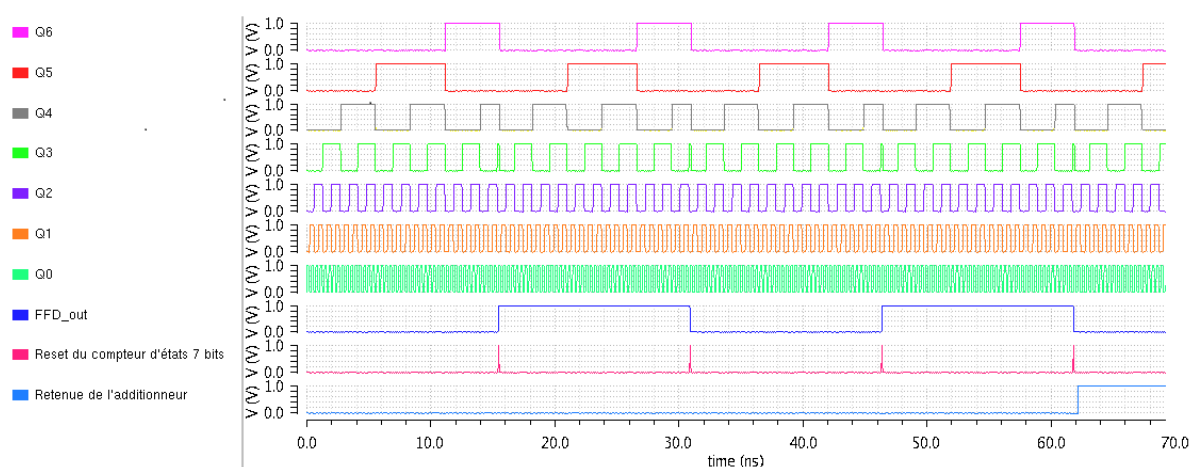


Figure 34 – Chronogrammes obtenus pour une fréquence d'entrée de 2850 MHz

La première solution consiste à minimiser les temps de basculement des portes logiques, à l'aide d'une polarisation du body des transistors composants les éléments critiques du diviseur fractionnaire. Il est alors nécessaire d'appliquer une tension de polarisation pouvant monter jusqu'à 3V sur les transistors NMOS et pouvant descendre jusqu'à -0.3V pour les transistors PMOS, dans le cas d'une fréquence d'entrée supérieure à 3 GHz. Cette solution nécessite cependant un rééquilibrage du dimensionnement des transistors NMOS et PMOS (limitant la plage de fonctionnement totale du diviseur), et implique une augmentation de la consommation.

Une autre solution consiste à ajouter un circuit de contrôle de réinitialisation du compteur, dans le but d'ajuster la remise à zéro de chaque bascule D, en fonction d'un possible saut de comptage de demi-période du signal d'entrée. Ainsi dans le cas d'une remise à zéro du compteur légèrement supérieur aux temps d'établissement d'une demi-période du signal d'entrée, il est alors possible de commencer le comptage par 0000001 au lieu de 0000000, ce qui revient à réaliser un comptage juste.

b. Spécificité des nombres impairs

Comme expliqué auparavant, l'architecture proposée implique l'utilisation d'un compteur à état 7 bits directement synchronisé sur le signal d'entrée du diviseur. Ce dernier étant totalement indépendant du fonctionnement du diviseur, il apparaît alors certaine problématique lors des étapes de réinitialisation du compteur lorsque le nombre d'états comptés est impair, puisque le cycle de comptage suivant débute avec un LSB possédant une valeur de 1. Il est donc nécessaire d'ajouter un circuit spécifique (figure 35), permettant un éventuel inversement de la valeur du LSB, lors d'une remise à zéro d'un comptage de nombre impair.

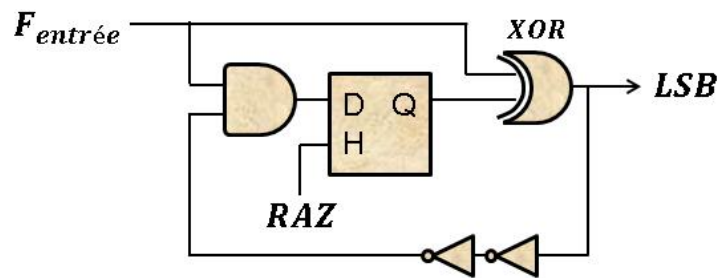


Figure 35 – Circuit de correction du LSB, en entrée du compteur à états

c. Consommation

L'ensemble des éléments composants le diviseur de fréquence fractionnaire a été conçu dans une optique de faible consommation. Ainsi, nous avons choisi de minimiser autant que possible le nombre de portes logiques utilisés, tout en garantissant une faible consommation de chacune d'elle grâce à la polarisation du body des transistors et la miniaturisation du circuit global. Comme cela est mis en évidence sur la figure 36, les plus importants pics de courant interviennent lors de la remise à zéro du compteur d'états 7 bits C_N , lorsque l'ensemble des portes logiques du comparateurs 5 bits sont activés. Cependant le niveau et la fréquence de ces pics de courant restent relativement faibles, c'est pourquoi l'ensemble de la consommation est principalement déterminée par le compteur d'états 7 bits présent en entrée du diviseur (figure 36).

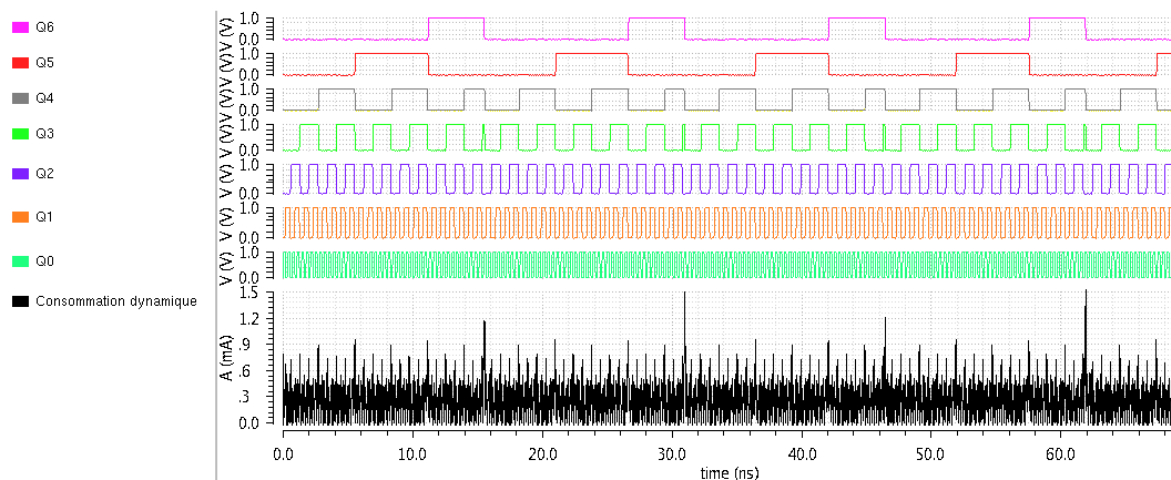


Figure 36 – Consommation dynamique du FFD

La consommation dynamique totale du diviseur de fréquence fractionnaire peut finalement être moyennée à 300 μ W lors d'un cycle complet de division. L'éventuelle utilisation de modulateur sigma-delta pour contrecarrer la présence des spurious ne devrait pas s'avérer être critique en termes de consommation, ce dernier pouvant directement être implanté au niveau du comparateur 5 bits C_M fonctionnant à 26 MHz. Les performances affichées par le diviseur de fréquence fractionnaire conçu permettent de le placer au niveau de l'état de l'art, en plus d'offrir de très intéressantes perspectives dans le cadre d'éventuelle intégration de modulateur sigma-delta (figure 37).

	[BOON 2005]	[JING 2012]	[THIRU 2013]	[YUAN 2013]*	Ce travail*
Technologie CMOS (nm)	350	180	65	40	28FDSOI
Fréquences d'entrée (GHz)	2.24 2.70	0.8 3.8	2 2.6	1 4	2.325** 2.850**
Divisions effectuées	240 248	30.5 510.5	8 31.4	1 49	1 110
Pas de division	0.25	0.5	0.2	non renseigné	0.038
Consommation (mW)	6	9	0.9	0.16	0.3

Figure 37 – Résumé des performances du diviseur fractionnaire et comparaison avec l'état de l'art

* résultats de simulation

** dans le cadre de notre application

4. Intégration dans la PLL

a. Contraintes

L'un des principaux inconvénients associé à l'utilisation d'un diviseur fractionnaire de type « avalement d'impulsions » est la présence de périodicités induites par la répétition des changements de rang de divisions. Ces dernières ne sont pas sans conséquences sur les performances intrinsèques de la PLL puisqu'elles induisent l'apparition de spurious autour de la porteuse. Dans le cadre de l'architecture proposée, les spurious se situent finalement aux fréquences suivantes :

- $F_{ref} \times$ partie fractionnaire de la division
- $F_{ref} \times (1 - \text{partie fractionnaire de la division})$

C'est finalement pour la bande de fréquence de 2417 MHz que les spurious s'avéreront être les plus critiques puisque la partie fractionnaire de ce rang de division engendre l'apparition d'une raie située à 1MHz de la porteuse. L'utilisation d'un filtre de boucle possédant une fréquence de coupure très basse peut s'avérer être une solution crédible pour contrecarrer ce problème bien que ceci puisse engendrer une importante dégradation du bruit de phase. On notera aussi que malgré le fait que ceci n'ait pas été appliqué dans le cadre de cette thèse par manque de temps, l'application d'un modulateur sigma delta reste tout à fait envisageable si l'on souhaite améliorer les performances de la PLL. Contrairement à beaucoup de topologies régulièrement observées dans la littérature, l'architecture proposée offre la possibilité d'avoir un réel rapport cycle de 50% grâce à l'utilisation d'un compteur à état. Comme nous le verrons par la suite, il est ainsi possible de tirer bénéfice de cette propriété pour améliorer les performances globales de la PLL.

b. Modulateur sigma-delta

Le but du modulateur sigma-delta est d'introduire une notion d'effet aléatoire lors du choix de la division par N ou $N+1$, afin d'interrompre la notion de périodicité apparaissant au sein du diviseur fractionnaire tout en respectant la valeur moyenne de division souhaitée [REGIMBAL 2011]. Comme expliqué auparavant, une éventuelle utilisation de modulateur sigma-delta pourrait directement être utilisée au niveau du comparateur C_M . Il serait ainsi possible de grandement relâcher les contraintes appliquée sur le modulateur, ce dernier fonctionnant alors à la fréquence de sortie du diviseur plutôt qu'à la fréquence d'entrée comme habituellement sur autres topologies de diviseur de fréquences.

5. Comparateur de phase (PFD)

1. Architecture double fronts

a. Principe de fonctionnement

Le comparateur de phase est un élément situé en sortie du diviseur fractionnaire dont l'objectif est de fournir une tension à la pompe de charge proportionnelle à la différence de phase entre ses deux entrées. Il a été réalisé de manière numérique dans le cadre de cette étude :

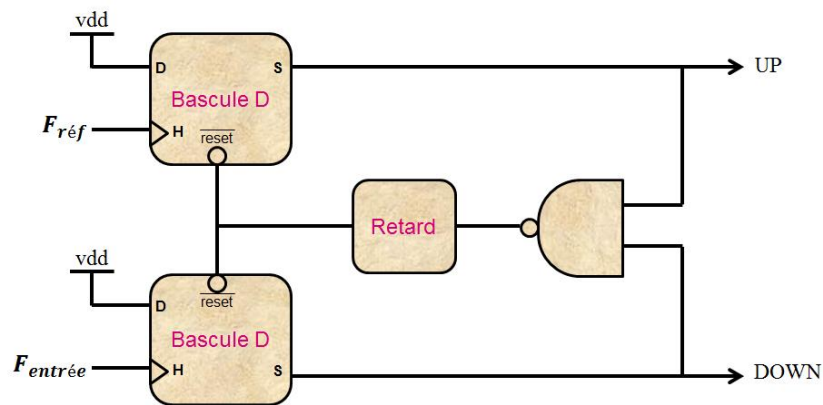


Figure 38 – Comparateur de phase classique avec retard

Cette topologie, habituellement trouvée dans la littérature [REGIMBAL 2011] [SIE 2004] est composée de deux bascules D ayant pour entrée $F_{réf}$ et $F_{entrée}$, remises à zéro de façon asynchrone dès lors que les entrées UP et DOWN sont toutes deux égales à 1. Il est ainsi possible de pouvoir différencier 3 états distincts :

- Lorsque la phase de $F_{réf}$ est en avance sur la phase de $F_{entrée}$: UP = 1 V et DOWN = 0 V entre les deux fronts montants

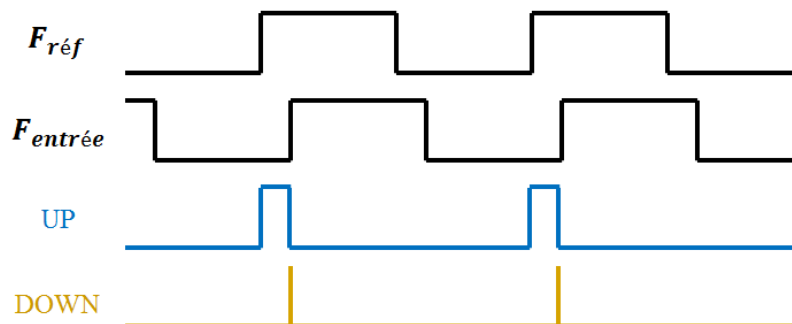


Figure 39 – Chronogrammes des signaux UP et DOWN ($F_{réf}$ en avance de phase sur $F_{entrée}$)

- Lorsque la phase de $F_{entrée}$ est en avance sur la phase de $F_{réf}$: UP = 0 V et DOWN = 1 V entre les deux fronts montants

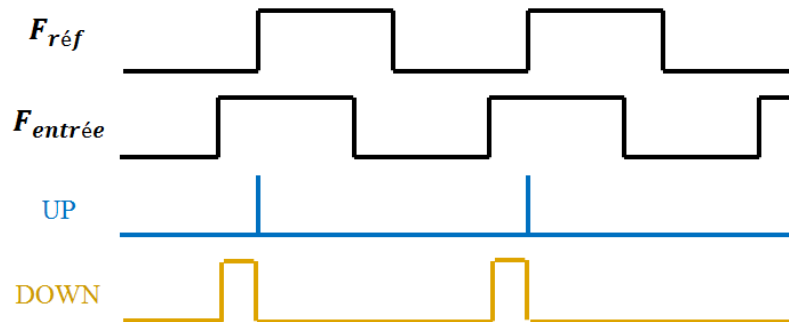


Figure 40 – Chronogrammes des signaux UP et DOWN ($F_{entrée}$ en avance de phase sur $F_{réf}$)

- Lorsque les phases de $F_{réf}$ et $F_{entrée}$ sont identiques : UP = DOWN = 0 V

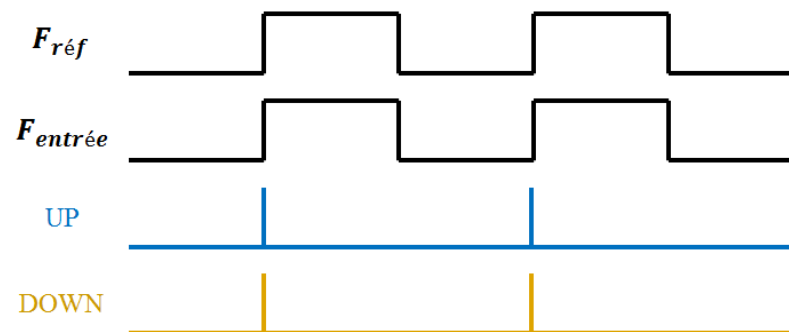


Figure 41 – Chronogrammes des signaux UP et DOWN ($F_{entrée}$ en phase avec $F_{réf}$)

En profitant de l'opportunité offerte par la présence d'un réel rapport cyclique de 50% en sortie du diviseur fractionnaire, il a été possible d'utiliser une architecture de comparateur de phase double fronts, engendrant finalement la topologie suivante :

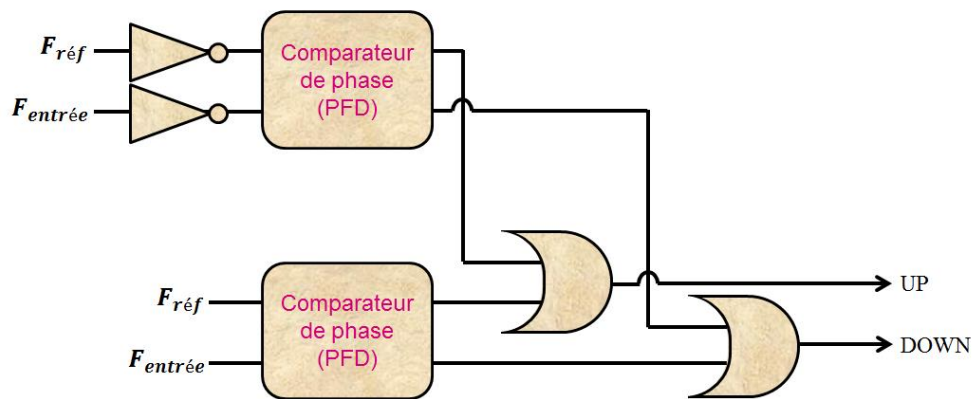


Figure 42 – Architecture double fronts du comparateur de phase

Le principal intérêt de cette topologie réside dans le fait qu'elle permet de repousser l'apparition des spurious, dus aux temps de basculement des portes logiques, à deux fois la fréquence de la référence (figure 43). Il est ainsi possible d'atténuer plus fortement les spurious pour un filtre de boucle similaire.

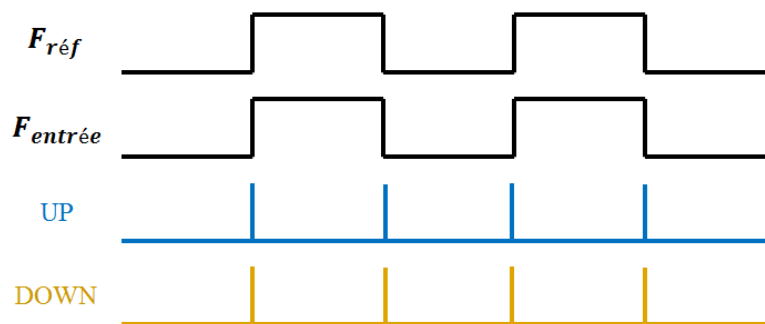


Figure 43 – Chronogrammes des signaux UP et DOWN (architecture double fronts)

6. Pompe de charge (CP)

1. Architecture

Le rôle de la pompe de charge est de fournir un courant au filtre de boucle en fonction des tensions de commande UP et DOWN envoyées par le comparateur de phase.

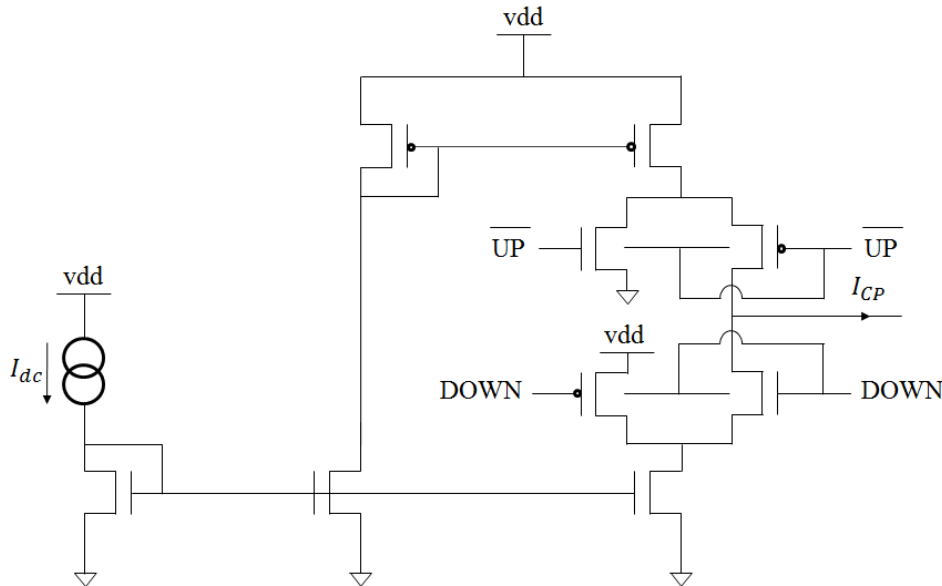


Figure 44 – Pompe de charge utilisée au sein de la PLL

D'une manière générale, on peut considérer que l'utilisation d'un courant faible aura tendance à diminuer la bande passante de la PLL et donc accentuer l'impact du VCO sur les performances globales de la PLL. Tandis que l'utilisation d'un fort courant, à tendance à augmenter le bruit de phase apporté par la pompe de charge en repoussant les contraintes sur l'ensemble « Comparateur de phase – Pompe de charge ». Trois états sont finalement perceptibles :

- Lorsque $UP = 0$ et $DOWN = 0$: $I_{cp} = 0$
- Lorsque $UP = 1$ et $DOWN = 0$: $I_{cp} = I_{dc}$
- Lorsque $UP = 0$ et $DOWN = 1$: $I_{cp} = -I_{dc}$

Une amélioration des switches est possible grâce à la technologie 28 nm FDSOI CMOS. Il est en effet possible d'améliorer les performances des switches UP et DOWN permettant d'obtenir un courant de sortie I_{cp} ou $-I_{cp}$ à l'aide de la polarisation du body des transistors [HONG-YEH 2010].

2. Compromis mis en jeu

a. Linéarité

L'un des premiers aspects à considérer lors de la conception de la pompe de charge est la linéarité. Les disparités existantes entre la partie UP et DOWN du fait de la différenciation entre transistors NMOS et PMOS étant une source majeure de non linéarités, il est alors nécessaire procéder à une méthodologie de conception minutieuse afin de se rapprocher le plus possible d'une parfaite symétrisation. L'utilisation d'importantes longueurs de ligne est conventionnellement employée pour atténuer les effets de modulations de la longueur de grille [WOOGEUN 1999]. L'existence d'une zone morte engendrée par la conception du comparateur de phase est aussi une source de non-linéarité, d'autant plus mise en évidence par le fait qu'elle soit centrée autour d'un courant de sortie de la pompe de charge nul. Une des solutions envisageable peut être l'utilisation d'un élément permettant de décaler le courant de sortie de la pompe de charge [HUNG-MING 2004] ce qui offre la possibilité de déplacer le fonctionnement de l'ensemble « Comparateur de phase – Pompe de charge » dans une région linéaire comme le montre le graphique ci-dessous [CHING-LUNG 2008] :

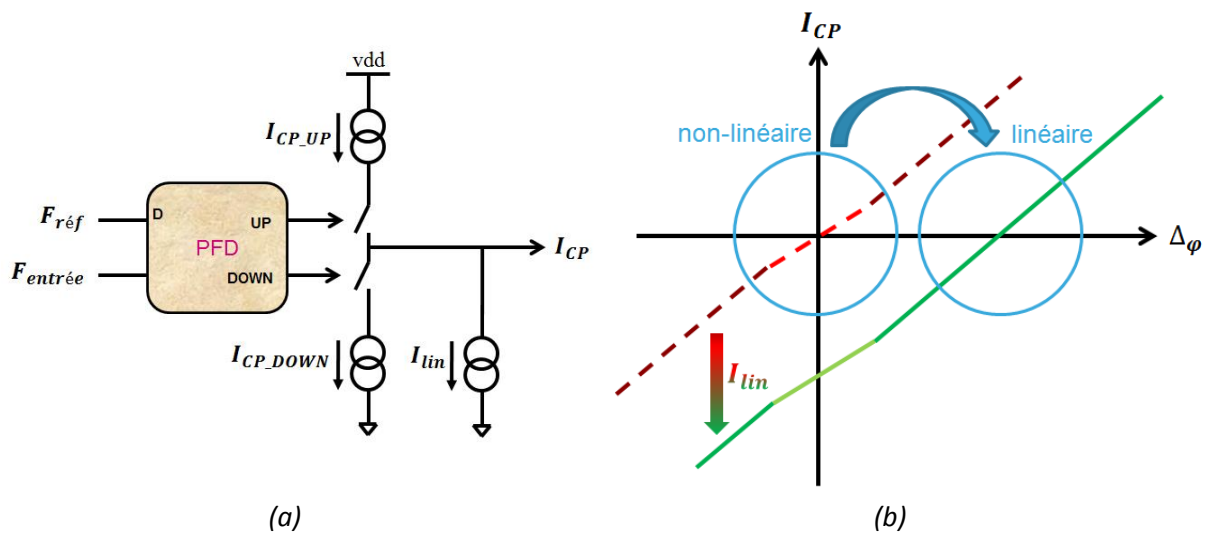


Figure 45 – Schéma (a) et graphique (b) illustrant la linéarisation de la pompe de charge

Un compromis est alors à trouver entre l'amélioration de la linéarisation et l'injection de bruit vers le filtre de boucle. Il est à noter que le circuit actif placé en sortie de la pompe de charge est le principal contributeur de cette injection de bruit.

b. Courant maximum

Une certaine limitation en courant est imposée par la topologie et l'approche de conception de la pompe de charge. Le courant maximum est principalement délimité par le dimensionnement des miroirs de courants et la symétrisation des parties NMOS et PMOS (figure 46). Ainsi, il sera préférable, au regard du courant maximum atteignable en sortie de la pompe de charge, de procéder à l'utilisation de transistors d'importantes dimensions pour la réalisation du miroir de courant afin de ne pas limiter le courant les traversant.

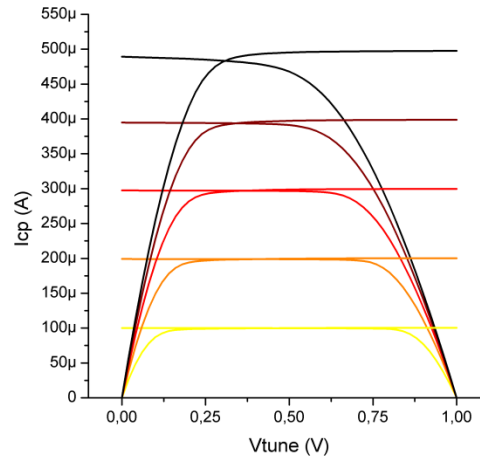


Figure 46 – Variation de I_{cp} en fonction de V_{tune} ($V_{bulk}=1V$)

L'utilisation d'un fort courant au sein de la pompe de charge s'avère être préjudiciable pour la linéarité et s'affiche comme étant une limitation quant à l'excursion de tension en entrée du filtre de boucle. Il convient donc de mesurer sa grandeur afin d'équilibrer les contraintes appliquée sur différents éléments de la PLL.

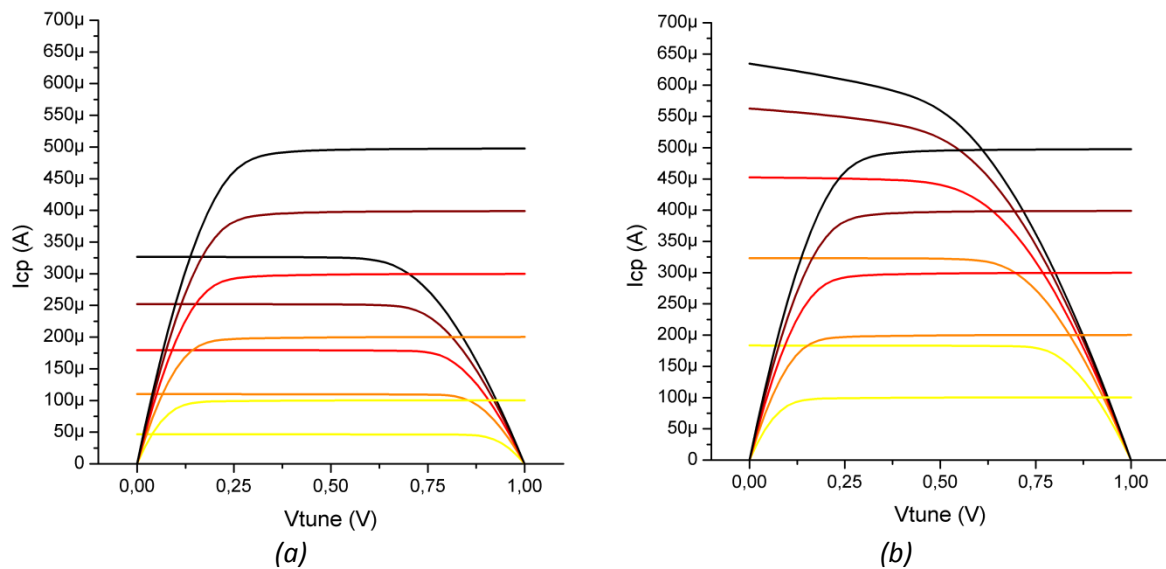


Figure 47 – Variation de I_{cp} en fonction de V_{tune} pour $V_{bulk}=0.5V$ (a) et $V_{bulk}=1.5V$ (b)

Les pompes de charge sont bien sûr des éléments très sensibles aux éventuelles variations de dopage pouvant apparaître lors de la fabrication des circuits. Il est cependant possible de remédier aux discordances, grâce à la technologie 28 nm FDSOI CMOS, en appliquant une polarisation adéquate sur le body des transistors constituant le miroir de courant NMOS des switches UP. Ainsi, comme on peut le voir sur la figure 47 (a), l'application d'une tension de polarisation de body inférieure à 1V offre la possibilité de diminuer le courant délivré par la partie UP. Tandis que l'utilisation d'une tension supérieure à 1V permet d'augmenter ce dernier (figure 47 (b)).

7. Filtre de boucle (LPF)

1. Fonction de transfert du filtre de boucle

a. Filtre du second ordre

Comme expliqué auparavant, le filtre de boucle est un filtre passe bas dont le rôle est d'atténuer les spurious, causés par le diviseur fractionnaire et l'ensemble « PFD - CP ». L'ordre du filtre est principalement conditionné par l'application visée par la PLL et par les besoins d'atténuations des spurious. Bien que l'on puisse initialement penser que l'utilisation d'une capacité C_1 seule puisse être suffisante pour réaliser un filtrage des hautes fréquences, il convient néanmoins de ne pas négliger les critères de stabilité de la boucle. Il est alors nécessaire d'ajouter une résistance en série de cette capacité afin d'ajouter un pôle et un zéro pour améliorer la stabilité en augmentant la marge de phase. Finalement un ensemble composé de « C_1, R_2, C_2 », visible en figure 48, permet d'obtenir dans un premier temps un bon compromis entre sélectivité et stabilité.

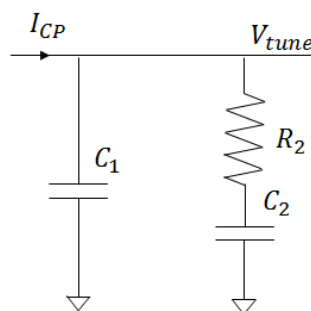


Figure 48 – Filtre de boucle du second ordre

Il est possible de déterminer sa fonction de transfert de manière à exprimer les rapports dynamiques entre la grandeur d'entrée et la grandeur de sortie :

$$Z_{LPF}(s) = \frac{V_{sortie}}{V_{entrée}} = \frac{1 + s \cdot R_2 \cdot C_2}{s \cdot (C_1 + C_2) + s^2 \cdot R_2 \cdot C_1 \cdot C_2} \quad (1.17)$$

Ce qui permet ainsi de déterminer les pôles et les zéros du filtre caractérisant son gabarit :

$$Z_{LPF}(s) = \frac{V_{sortie}}{V_{entrée}} = \frac{1 + s \cdot R_2 \cdot C_2}{s \cdot (C_1 + C_2) \cdot \left(1 + s \cdot \frac{R_2 \cdot C_1 \cdot C_2}{C_1 + C_2}\right)} \quad (1.18)$$

$$Z_{LPF}(s) = \frac{1 + \frac{s}{\omega_z}}{s \cdot \left(1 + \frac{s}{\omega_p}\right)} \cdot \frac{1}{C_1 + C_2} \quad (1.19)$$

ω_p et ω_z étant respectivement les pôles et les zéros :

$$\omega_p = \frac{1}{R_2 \cdot \frac{C_1 \cdot C_2}{C_1 + C_2}} \quad (1.20)$$

$$\omega_z = \frac{1}{R_2 \cdot C_2} \quad (1.21)$$

b. Filtre du troisième ordre

Un filtre du troisième ordre, présenté figure 49, présente l'avantage de posséder une plus forte sélectivité, bien que ceci se fasse au détriment de la surface.

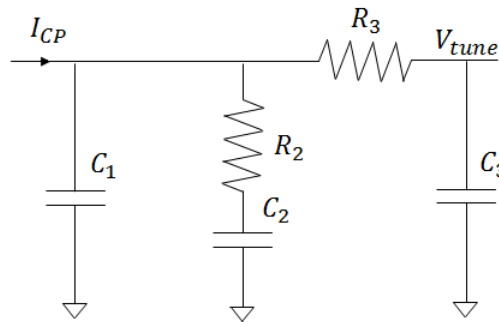


Figure 49 – Filtre de boucle du troisième ordre

Un développement de la fonction de transfert du filtre nous mène finalement vers l'équation suivante :

$$Z_{LPF}(s) = \frac{1 + s \cdot R_2 \cdot C_2}{s \cdot (C_1 + C_2 + C_3) + s^2 \cdot [R_2 \cdot C_2 \cdot (C_1 + C_3) + R_3 \cdot C_3 \cdot (C_1 + C_2)] + s^3 \cdot (R_2 \cdot R_3 \cdot C_1 \cdot C_2 \cdot C_3)} \quad (1.22)$$

Cette dernière comprenant donc l'introduction d'un nouveau pôle ω_{p3} :

$$\omega_{p3} = \frac{1}{R_3 \cdot C_3} \quad (1.23)$$

Il est ainsi possible d'avoir un meilleur filtrage des spurious présents au sein de la boucle à verrouillage de phase. L'introduction de ce nouveau pôle modifie cependant quelque peu la marge de phase. Il donc primordial de réajuster la pulsation de coupure ω_c afin de compenser le déficit engendré et d'assurer une bonne stabilité de la boucle.

8. Etude de la PLL 40GHz

1. Simulations

L'ensemble des simulations de la PLL ont été réalisées en s'appuyant sur les performances de chaque élément conçu à l'aide d'un programme matlab développé par Marc Houdebine (STMicroelectronics). Ce programme utilise les équations du modèle linéaire décrites auparavant dans ce chapitre, ce qui permet d'obtenir un bon aperçu des performances pouvant être attendues. Une optimisation en termes de bruits de phase a été réalisée, tout en respectant les deux conditions suivantes :

- Une marge de phase supérieure à 45° , pour conserver d'une bonne stabilité
- Une fréquence de coupure basse (500 kHz), pour filtrer efficacement les raies parasites engendrées par le diviseur fractionnaire sans pour autant apporter une trop forte dégradation du bruit de phase

Comme nous le verrons dans la suite de ce manuscrit, le KVCO de l'oscillateur spécifié dans la PLL 40GHz est d'environ 700 MHz/V. Une plus importante valeur est généralement à proscrire car elle reporte une forte contrainte sur le dimensionnement du filtre de boucle. De la même façon, un important courant I_{cp} fournit par la pompe de charge peut se traduire par un filtre occupant une grande surface. Un doublement du courant I_{cp} permet de doubler la bande passante de la PLL et donc de réduire considérablement son temps d'acquisition [LUONG 2004]. Néanmoins, un fort courant de pompe de charge peut aussi impliquer un important bruit de phase au sein de la boucle à verrouillage de phase, c'est pourquoi il convient tout de même de mesurer sa grandeur pour atteindre un niveau de performance acceptable [BANG-SUP 2011].

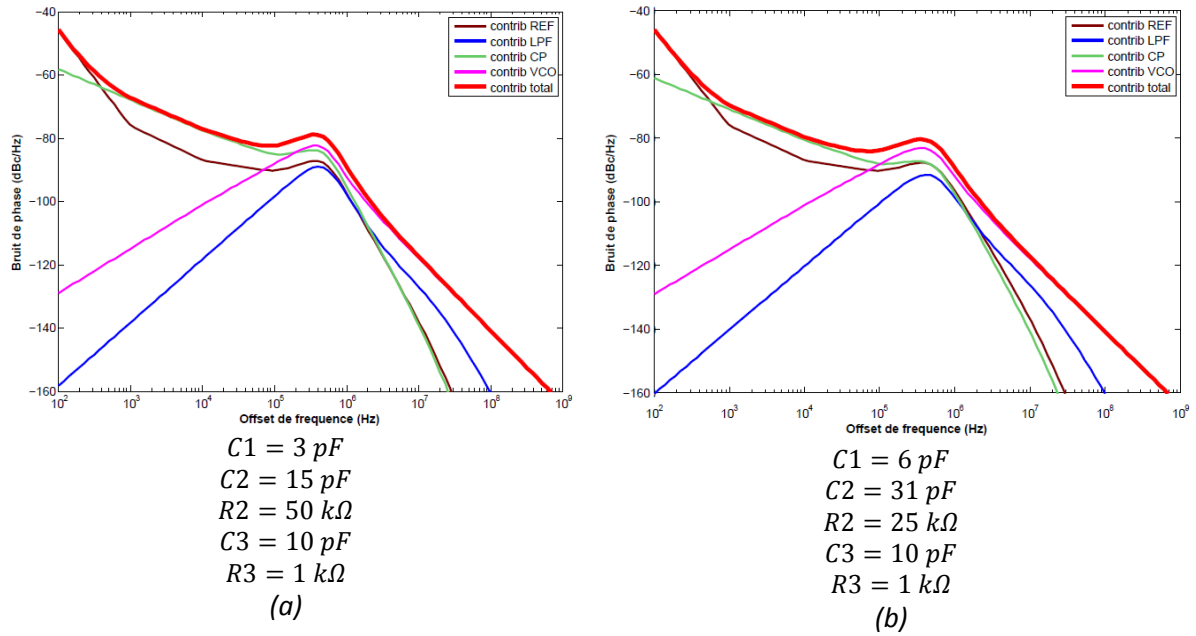


Figure 50 – Bruits de phase obtenus pour des courants I_{cp} de 200 μA (a) et 400 μA (b), pour une stabilité similaire

Etant données les spécifications, le meilleur compromis en termes de bruit de phase semble être trouvé pour un courant I_{cp} de 200 μA (figure 50). Ceci offrant la possibilité de minimiser les contraintes imposées sur la pompe de charge ainsi que le dimensionnement des résistances du filtre de boucle pouvant être une source majeur de bruit thermique en $4kTR$. On notera que l'utilisation d'une fréquence de coupure basse accroît les contraintes imposées sur le dimensionnement du filtre de boucle. Il en est de même en cas d'utilisation de KVCO important (figure 51), ce qui apparaît comme étant une véritable limitation lors de la conception d'oscillateur large bande comme nous le verrons dans la suite de ce manuscrit.

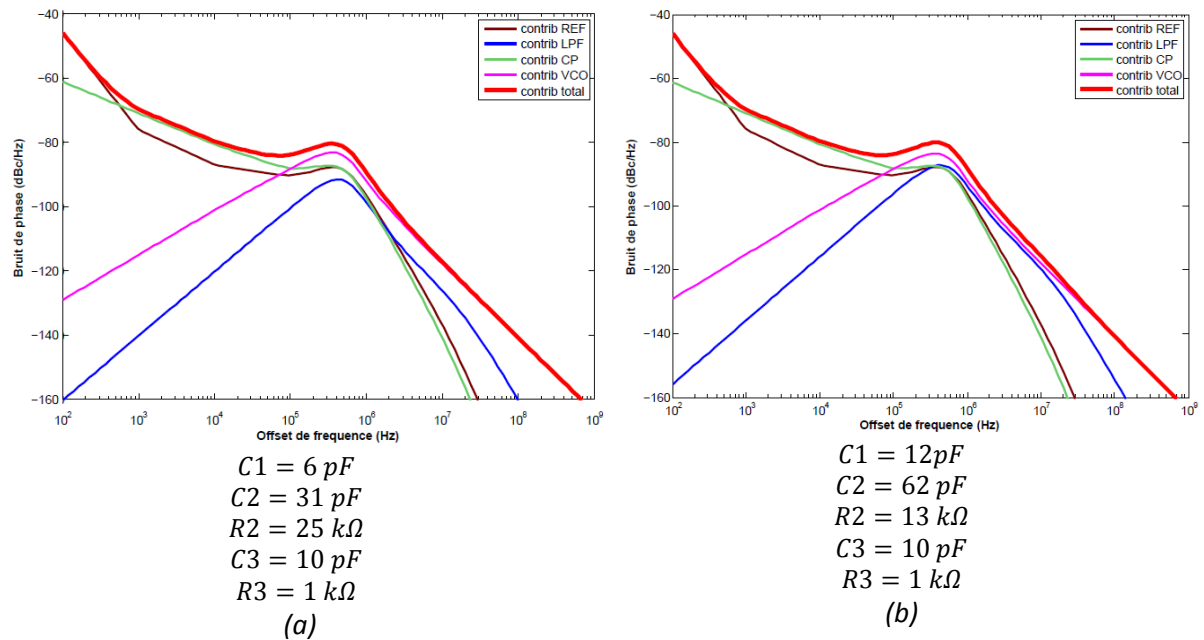


Figure 51 – Bruits de de phase obtenus pour des courants I_{cp} de 400 μA (a) et 800 μA (b), pour une stabilité similaire

Les premiers résultats de simulations semblent finalement placés le synthétiseur de fréquence au niveau de l'état de l'art des PLLs large bande fonctionnant autour de 40 GHz :

	[PELLERANO 2008]	[MURPHY 2011]	[RICHARD 2010]	[CHEN 2015]	Ce travail
Technologie (nm)	90	65	65	65	28 FDSOI
Référence (MHz)	50	54	36	156.25	26
Fréquences (GHz)	39.1 – 41.6	42.1 – 53	35 – 41.88	39.5 – 41.7	36 – 42.5
Bruit de phase (dBc/Hz)	-102.7@1MHz	-95.6@1MHz	-97.5@1MHz	-102.7@1MHz	-92@1MHz -118@10MHz
Consomma- tion (mW)	64*	72	80	87	24**
Surface (mm ²)	1.77 × 0.88	0.68 × 0.55	1.6 × 1.9	1.0 × 0.4	x

Figure 52 – Tableau récapitulatif des performances de la PLL 40 GHz et comparaison avec l'état de l'art

* sans amplificateurs de sortie

** consommation estimée

9. Conclusion

Ce chapitre a permis de présenter une architecture de synthétiseur de fréquences faible consommation et hautes performances, adaptée aux besoins de la convergence WiFi-WiGig. Une nouvelle architecture de diviseur fractionnaire, offrant de bonnes performances en termes de consommation et de rapport cyclique, a été présentée. Cette nouvelle topologie offre de très intéressantes perspectives dans le cadre d'une intégration au sein d'une PLL multi-standards faible consommation. L'ensemble des blocs composants la PLL ont été détaillées au cours de ce chapitre, chacun d'entre eux tirant bénéfices au maximum de la technologie 28 nm FDSOI CMOS pour obtenir un important niveau de performances tout en gardant une faible consommation. Le VCO, élément clé de la PLL, sera présenté plus en détails dans le chapitre suivant afin de clairement mettre en avant une réelle méthodologie de conception.

Références

[BADETS 2000] : Thèse de Franck Badets, 2000

[BANG-SUP 2011] : MicroCMOS Design by Bang-Sup Song, 2011

[BOON 2005] : C. C. Boon, M. A. Do, K. S. Yeo, and J. G. Ma, "Fully integrated CMOS fractional-N frequency divider for wide-band mobile applications with spurs reduction," IEEE Trans. Circuits Syst. I, vol. 52, no. 6, pp. 1042–1048, Jun. 2005.

[CHEEMA 2010] : Cheema, H.M.; Mahmoudi, R.; van Roermund, A., "A 30 to 44 GHz divide-by-2, quadrature, direct injection locked frequency divider for sliding-IF 60 GHz transceivers," Silicon Monolithic Integrated Circuits in RF Systems (SiRF), 2010 Topical Meeting on , vol., no., pp.57,60, 11-13 Jan. 2010

[CHEN 2015] : Chen Feng; Xiao Peng Yu; Wei Meng Lim; Kiat Seng Yeo, "A 40 GHz 65 nm CMOS Phase-Locked Loop With Optimized Shunt-Peaked Buffer," Microwave and Wireless Components Letters, IEEE , vol.25, no.1, pp.34,36, Jan. 2015

[CHING-LUNG 2008] : Ching-Lung Ti; Yao-Hong Liu; Tsung-Hsien Lin, "A 2.4-GHz fractional-N PLL with a PFD/CP linearization and an improved CP circuit," Circuits and Systems, 2008. ISCAS 2008. IEEE International Symposium on , vol., no., pp.1728,1731, 18-21 May 2008

[DEGUCHI 2010] : Deguchi, J.; Miyashita, D.; Ogasawara, Y.; Takemura, G.; Iwanaga, M.; Sami, K.; Ito, R.; Wadatsumi, J.; Tsuda, Y.; Oda, S.; Kawaguchi, S.; Itoh, N.; Hamada, M., "A Fully Integrated 2 1 Dual-Band Direct-Conversion Mobile WiMAX Transceiver With Dual-Mode Fractional Divider and Noise-Shaping Transimpedance Amplifier in 65 nm CMOS," Solid-State Circuits, IEEE Journal of , vol.45, no.12, pp.2774,2784, Dec. 2010

[DRAKHLIS 2001] : Drakhlis, B, "Calculate Oscillator Jitter by using Phase-Noise Analysis Part 1," Micro-waves and RF, p. 82, January 2001

[FAN-HSIU 2006] : Fan-Hsiu Huang; Chan, Yi-Jen, "V-Band CMOS Differential-type Injection Locked Frequency Dividers," VLSI Design, Automation and Test, 2006 International Symposium on , vol., no., pp.1,2, 26-28 April 2006

[GRAVE 2013] : Grave, B.; Frappé, A; Kaiser, A, "A Reconfigurable IF to DC Sub-Sampling Receiver Architecture With Embedded Channel Filtering for 60 GHz Applications," Circuits and Systems I: Regular Papers, IEEE Transactions on , vol.60, no.5, pp.1220, 1231, May 2013

[GRAVE 2014] : Thèse de Baptiste Grave, 2014

[JAEHYOUK 2010] : Jaehyouk Choi, Jongmin Park, Kyutae Lim, Chang Ho Lee, Haksun Kim, Joy Laskar: Fractional resolution integer-n frequency synthesizer. Samsung Electro Mechanics Company, Sutherland Asbill & Brennan, March 25, 2010: US20100073052-A1

[JAESEOK 2008] : Jaeseok Lee; Jihyun Park; Sanghyun Choi; Sangho Lee; Hyeongdong Kim, "A CMOS sub-harmonic passive mixer having low flicker noise with back-gate coupling LC tank Quadrature VCO," Microwave Conference, 2008. APMC 2008. Asia-Pacific , vol., no., pp.1,4, 16-20 Dec. 2008

[JIHYUN 2008] : Jihyun Park; Jaeseok Lee; Sangho Lee; Sanghyun Choi; Hyeongdong Kim, "Back-gate coupled quadrature LC VCO with multi-band tuning & low power consumption," Microwave Conference, 2008. APMC 2008. Asia-Pacific , vol., no., pp.1,3, 16-20 Dec. 2008

[JING 2012] : Jing Jin, Xiaoming Liu, Tingting Mo and Jianjun Zhou, "Quantization Noise Suppression in Fractional-N PLLs Utilizing Glitch-Free Phase Switching Multi-Modulus Frequency Divider," Circuits and Systems I: Regular Papers, IEEE Transactions on , vol.59, no.5, pp.926-937, May 2012.

[HONG-YEH 2010] : Hong-Yeh Chang; Ching-Yan Chan, "A Low Loss High Isolation DC-60 GHz SPDT Traveling-Wave Switch With a Body Bias Technique in 90 nm CMOS Process," Microwave and Wireless Components Letters, IEEE , vol.20, no.2, pp.82,84, Feb. 2010

[HOUDEBINE 2006] : Thèse de Marc Houdebine, 2006

[HUNG-MING 2004] : Hung-Ming Chien; Tsung-Hsien Lin; Ibrahim, B.; Lijun Zhang; Rofougaran, M.; Rofougaran, A.; Kaiser, W.J., "A 4GHz Fractional-N synthesizer for IEEE 802.11a," VLSI Circuits, 2004. Digest of Technical Papers. 2004 Symposium on , vol., no., pp.46,49, 17-19 June 2004

[HUNTOON 1947] : Huntoon, R.; Weiss, A., "Synchronization of oscillators", Proc. of the IRE, pp. 1415-1423, Dec. 1947.

[HYE-RYOUNG 2004] : Hye-Ryoung Kim; Choong-Yul Cha; Seung-Min Oh; Moon-Su Yang; Sang-Gug Lee, "A very low-power quadrature VCO with back-gate coupling," Solid-State Circuits, IEEE Journal of , vol.39, no.6, pp.952,955, June 2004

[KESTER 2008] : Kester, W., "Converting Oscillator Phase Noise to Time Jitter,". Tutorial by Analog Devices, October 2008

[LINDSEY 1991] : Christiaan Huygens: Mutual Space-Time Synchronization Between Clocks, by William C. Lindsey and Jorge M.N. Pereira; LinCom Corporation, 5110 West Goldleaf Circle, Suite 330, Los Angeles, CA 90056, 1991.

[LUONG 2004] : Howard Cam Luong, Gerry Chi Tak Leung. Low-Voltage CMOS RF Frequency Synthesizers, 2004

[MAXIM 2004] : Maxim, "Clock (CLK) Jitter and Phase Noise Conversion," 2004

[MAZZANTI 2004] : Mazzanti, A.; Svelto, F., "Injection locked oscillators for quadrature generation at radio frequency," Microelectronics, 2004. ICM 2004 Proceedings. The 16th International Conference on , vol., no., pp.124,127, 6-8 Dec. 2004

[MOHANAVELU 2000] : Mohanavelu, R.; Heydari, P., "A novel ultra high-speed flip-flop-based frequency divider," Circuits and Systems, 2004. ISCAS '04. Proceedings of the 2004 International Symposium on , vol.4, no., pp.IV,169-72 Vol.4, 23-26 May 2004

[MURPHY 2011] : Murphy, D.; Gu, Q.J.; Yi-Cheng Wu; Heng-Yu Jian; Xu, Z.; Tang, A.; Wang, F.; Chang, M.-C.F., "A Low Phase Noise, Wideband and Compact CMOS PLL for Use in a Heterodyne 802.15.3c Transceiver," Solid-State Circuits, IEEE Journal of , vol.46, no.7, pp.1606,1617, July 2011

[PELLERANO 2008] : Pellerano, S.; Mukhopadhyay, R.; Ravi, A.; Laskar, J.; Palaskas, Y., "A 39.1-to-41.6GHz $\Delta\Sigma$ Fractional-N Frequency Synthesizer in 90nm CMOS," Solid-State Circuits Conference, 2008. ISSCC 2008. Digest of Technical Papers. IEEE International , vol., no., pp.484,630, 3-7 Feb. 2008

[RAZAVI 1998] : Behzard Razavi. RF Microelectronics, Prentice-Hall, 1998

[REGIMBAL 2011] : Thèse de Nicolas Regimbal, 2011

[RICHARD 2010] : Richard, O.; Siligaris, A.; Badets, F.; Dehos, C.; Dufis, C.; Busson, P.; Vincent, P.; Belot, D.; Urard, P., "A 17.5-to-20.94GHz and 35-to-41.88GHz PLL in 65nm CMOS for wireless HD applications," Solid-State Circuits Conference Digest of Technical Papers (ISSCC), 2010 IEEE International , vol., no., pp.252,253, 7-11 Feb. 2010

[SIE 2004] : Thèse de Mathilde Sié, 2004

[THIRU 2013] : Thirunarayanan, R.; Ruffieux, D.; Enz, C., "An Injection-Locking based Programmable Fractional Frequency Divider with 0.2 Division Step for Quantization Noise Reduction," IEEE ESSCIRC 2013 p233-236.

[VAUCHER 2000] : Vaucher, C.S.; Ferencic, I.; Locher, M.; Sedvallson, S.; Voegeli, U.; Zhenhua Wang, "A family of low-power truly modular programmable dividers in standard 0.35- μm CMOS technology," Solid-State Circuits, IEEE Journal of , vol.35, no.7, pp.1039,1045, July 2000

[VECTRON 2014] : <http://www.vectron.com/products/tcxo/vt-822.htm> , Product Data Sheet

[WENDY 2012] : http://www.agence-nationale-recherche.fr/suivi-bilan/sciences-et-technologies-de-l-information-et-de-la-communication/infrastructures-pour-la-societe-numerique/fiche-projet-infra/?tx_lwmsuivibilan_pi2%5BCODE%5D=ANR-11-INFR-0011

[WOOGEUN 1999] : Woogeun Rhee, "Design of high-performance CMOS charge pumps in phase-locked loops," Circuits and Systems, 1999. ISCAS '99. Proceedings of the 1999 IEEE International Symposium on , vol.2, no., pp.545,548 vol.2, Jul 1999

[XIAOYAN 2003] : Xiaoyan Wang; Andreani, P., "Impact of mutual inductance and parasitic capacitance on the phase-error performance of CMOS quadrature VCOs," Circuits and Systems, 2003. ISCAS '03. Proceedings of the 2003 International Symposium on , vol.1, no., pp.I-661,I-664 vol.1, 25-28 May 2003

[YUAN 2008] : Yuan Mo; Skafidas, E.; Evans, R.; Mareels, I., "A 40 GHz Power Efficient Static CML Frequency Divider in 0.13- μm CMOS Technology for High Speed Millimeter-Wave Wireless Systems," Circuits and Systems for Communications, 2008. ICCSC 2008. 4th IEEE International Conference on , vol., no., pp.812,815, 26-28 May 2008

[YUAN 2013] : Yuan Hengzhou; Ma Zhuo; Guo Yang, "An adaptive multi-modulus frequency divider," ASIC (ASICON), 2013 IEEE 10th International Conference on , vol., no., pp.1,4, 28-31 Oct. 2013

Conception d'oscillateurs millimétriques en technologie CMOS avancée

1. Généralités sur les oscillateurs

1. Fonctionnement global

a. Conditions d'oscillations

Un oscillateur est un circuit produisant en sortie un signal périodique, pouvant être sinusoïdale, carrée, ou d'autres formes après l'application d'une mise en forme interne. Bien que différentes approches soient envisageables pour sa réalisation dans le cadre de circuits intégrés il convient de s'assurer que le circuit réponde à certaines conditions d'oscillation, appelées critères d'oscillation de Barkhausen [PEREZ 2012] [CHATEIGNER 2012] [BALAZ 2013].

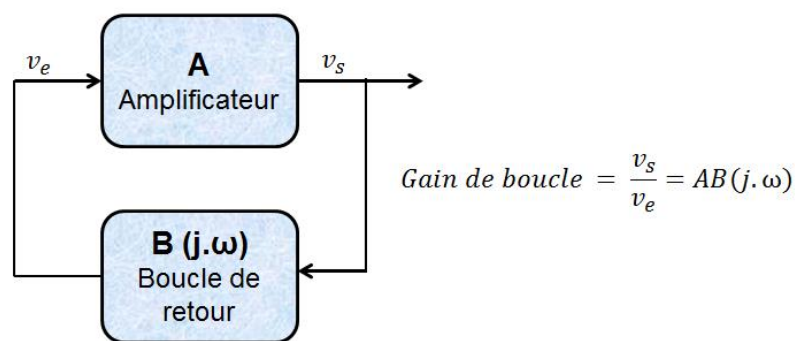


Figure 53 – Oscillateur composé d'un amplificateur et d'une boucle de retour

Ainsi pour la réalisation de tout circuit oscillant il faut être capable de garantir :

- Un gain de boucle $AB(j. \omega)$ supérieur ou égal à 1 en module absolue (figure 53)
- Un déphasage total autour de la boucle égal à 0 ou un multiple de 2π

b. Fréquence de fonctionnement

La résonance d'un circuit LC se produit lorsque les parties imaginaires de la capacité et de l'inductance atteignent la même amplitude. C'est pour ce point de fonctionnement donné que le courant traversant le circuit LC devient minimum, et donc que l'impédance du circuit devient maximum :

$$f_0 = \frac{1}{2. \pi. \sqrt{L. C}} \quad (2.1)$$

F_0 étant la fréquence de résonnance du circuit, L la valeur de l'inductance et C la valeur de la capacité. Ainsi pour des fréquences inférieures à f_0 le circuit aura un effet inductif, tandis que pour des valeurs

supérieures à f_0 le circuit aura un effet capacitif. Les inductances à point milieu sont souvent utilisées pour polariser les oscillateurs LC puisqu'elles permettent d'obtenir un gain en surface important et offrent d'intéressantes perspectives en termes de facilité de conception.

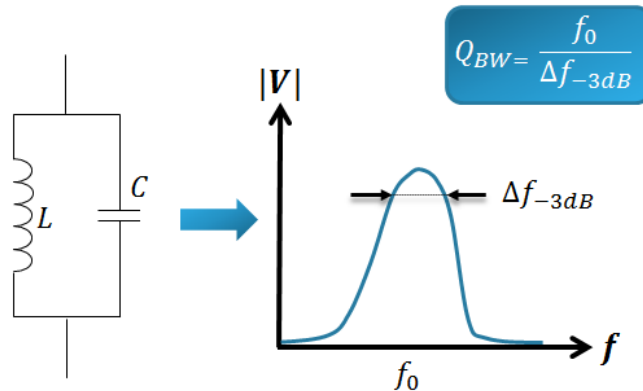


Figure 54 – Facteur de qualité d'un résonateur LC

Comme tous éléments physiques les inductances et les capacités utilisées présentent des effets parasites. Leur résistance introduit une perte d'énergie au sein du résonateur LC qu'il est nécessaire de compenser par l'utilisation d'une résistance négative. Cette résistance négative doit en théorie être égale ou supérieure à la résistance équivalente présentée par la résonateur LC, mais nous verrons par la suite qu'il est souvent nécessaire de la surdimensionner de manière à s'assurer un bon fonctionnement du circuit.

2. Oscillateur Colpitts

a. Fonctionnement

L'oscillateur Colpitts est un oscillateur LC utilisant une rétroaction basée sur un pont diviseur capacitif (figure 55). Sa fréquence est définie par la fréquence de résonance de son circuit LC, f étant égale à :

$$f = \frac{1}{2 \cdot \pi \cdot \sqrt{L \cdot C_{equivalente}}} = \frac{1}{2 \cdot \pi \cdot \sqrt{L \cdot \frac{C_1 \cdot C_2}{C_1 + C_2}}} \quad (2.2)$$

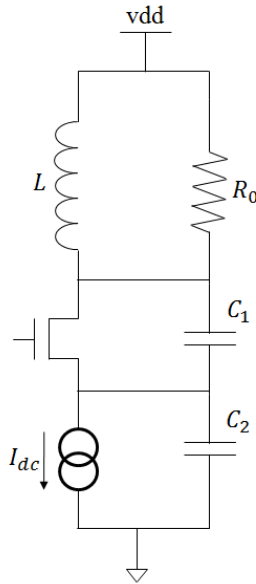


Figure 55 – Oscillateur Colpitts

De par sa nature, cette topologie d’oscillateur nécessite l’utilisation d’une partie capacitive importante qui sera théoriquement deux fois supérieure à celle utilisée dans un oscillateur LC à résistance négative. L’amplitude d’oscillation en sortie peut être approximée par [TOUMAZOU 2004]:

$$V = 2 \cdot I_b \cdot R_0 \frac{C_2}{C_1 + C_2} \quad (2.3)$$

I_b étant le courant présent au sein de l’oscillateur et R_L sa résistance de charge située sur le drain du transistor MOS. Bien que l’utilisation d’une forte capacité C_2 permette de maximiser l’amplitude d’oscillation en sortie, il conviendra cependant de nuancer sa taille pour s’affranchir d’éventuelles contraintes liées au coefficient de qualité et à la mise en place dans un circuit.

b. Avantages et inconvénients

L’une des particularités de la topologie Colpitts réside dans le fait que l’écoulement du courant du drain du transistor s’effectue lors d’une courte période coïncident avec les pics de tension minimum se produisant au sein de l’oscillateur (figure 56). Il est ainsi possible d’obtenir de très bonnes performances en bruit de phase en utilisant ce type de structure dans la mesure où les pics de courant n’interviendront que lors de conditions de fonctionnement où le circuit sera peu sensible.

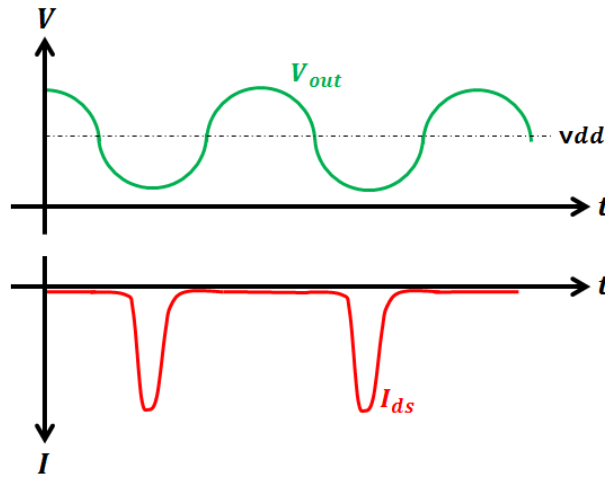


Figure 56 – Tension de sortie et courant aux bornes du transistor

Toutefois, les contraintes imposées par le dimensionnement du ratio C_1/C_2 , notamment sur l'importante taille des capacités, mettent en évidence une certaine limite pour l'utilisation de ce type de topologie pour la réalisation d'oscillateur large bande et faible consommation. En effet on remarque que pour des spécifications de fréquences équivalentes la topologie Colpitts nécessite des transistors de tailles supérieures à ceux utilisés pour une topologie de type LC dans le but de compenser la plus faible résistance négative [LEE 2000].

Finalement, malgré les très bonnes performances en bruit de phase possiblement atteignable via l'utilisation d'une structure de type Colpitts, les différentes contraintes liés à la consommation et à la plage de fréquence de l'oscillateur semblent être des contraintes trop importantes quant-à une possible utilisation au sein d'une PLL WiFi-WiGig.

3. Oscillateur en anneaux

a. Fonctionnement

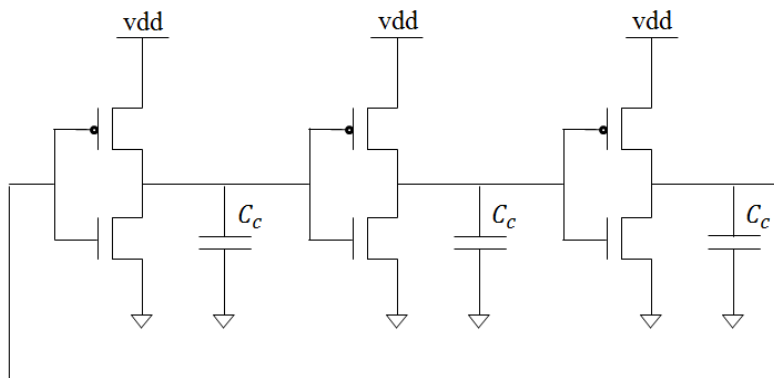


Figure 57 – Oscillateur à anneaux sur 3 étages avec capacité de charge C_c

L'oscillateur en anneaux est une topologie d'oscillateur composée d'une boucle de portes inverseuses (figure 57). Il est nécessaire d'utiliser un nombre d'étages impair dans le cadre d'une structure à sorties uniques, de manière à satisfaire les critères d'oscillation de Barkhausen, ou pair dans le cadre d'une structure différentielle. Comme le montre l'équation suivante, notamment présentée dans [DOCKING 2004], plusieurs paramètres influencent la fréquence d'oscillation propre de ce type d'oscillateur :

$$f_0 = \frac{1}{2 \cdot N \cdot t_d} \quad (2.4)$$

Le paramètre N correspondant au nombre d'étage présent dans l'oscillateur, on en déduit qu'il sera nécessaire de minimiser leur nombre à 3 dans le cadre de la conception d'oscillateur haute fréquence. Le paramètre t_d correspond quant-à lui au délai de propagation de chaque étage et peut être approximé par [JOVANOVIĆ 2010] :

$$t_d = \frac{C_c \cdot V_{mid}}{I} \quad (2.5)$$

I et V_{mid} étant respectivement le courant traversant la porte inverseuse et la tension en son point milieu. C_c étant la capacité de charge de l'étage. Il est important de noter que l'équation précédente ne donne qu'une approximation au premier ordre de la fréquence de fonctionnement de l'oscillateur en anneaux puisqu'il est difficile de pouvoir déterminer analytiquement l'influence des non-linéarités et des nombreux parasites présents au sein du circuit [DOCKING 2003].

b. Avantages et inconvénients

L'un des principaux avantages de l'oscillateur en anneaux est le fait que ce type d'oscillateur ne nécessite pas d'inductance. Cela lui permet d'économiser une surface considérable tout en s'affranchissant d'éventuels problèmes de couplages avec d'autres circuits proches. Comme il l'est notamment démontré dans [TSAI 2012], ce sont de plus des oscillateurs réputés pour avoir d'importante plage de fréquence de fonctionnement via l'utilisation d'un contrôle en courant.

Cependant comme évoqué dans [DE PAULA 2012], on notera que les performances en bruit de phase des oscillateurs en anneaux sont bien en dessous de celles obtenues via l'utilisation d'autres choix de structures, ce qui en limite considérablement son utilisation au sein de circuit faible bruit. De plus la fréquence de fonctionnement maximum des oscillateurs est particulièrement limitée [EKEN 2003] par le ratio gain-capacités parasites, ce qui cantonne en général son utilisation pour des fréquences inférieures à 15 GHz.

Comme nous le verrons dans la suite de ce manuscrit, cette topologie d'oscillateur n'a pas été utilisée dans le cadre de la conception de l'oscillateur 40 GHz mais plutôt dans celle d'un oscillateur synchrone à 5 GHz.

4. Oscillateur LC paire croisée

a. Fonctionnement

De manière générale un oscillateur LC paire croisée classique peut être vu comme un ensemble composé d'un résonateur LC et d'une résistance négative. Le circuit LC est configuré de manière à avoir une fréquence de résonance proche de la fréquence de fonctionnement souhaitée pour l'oscillateur. Tandis que la résistance négative, réalisée via une paire croisée de transistors NMOS ou PMOS, permet de compenser la partie résistive du bloc LC (figure 58). Ce type de circuit est généralement conçu de façon différentielle dans le but d'améliorer les performances en bruit en éliminant le mode commun [CAMPBELL 2001].

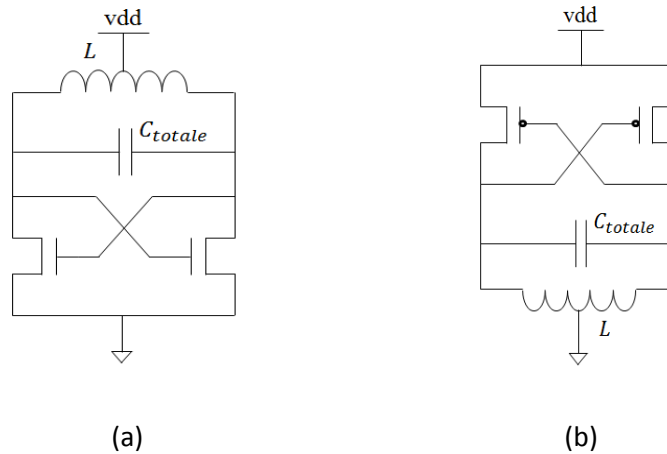


Figure 58 – Oscillateurs LC paire croisée NMOS (a) et PMOS (b)

Un réel travail d'optimisation est nécessaire sur les coefficients de qualité des éléments du résonateur LC afin de pouvoir présenter une résistance parallèle la plus grande possible au regard de la paire croisée, et ainsi diminuer la taille des transistors utilisés. Il est possible d'obtenir une approximation de la fréquence de fonctionnement de l'oscillateur grâce à l'équation :

$$f = \frac{1}{2 \cdot \pi \cdot \sqrt{L \cdot (C_{switchées} + C_{var} + C_{parasites})}} \quad (2.6)$$

L étant la valeur de l'inductance utilisée au sein du résonateur LC, $C_{switchées}$ la somme des capacités digitales, C_{var} la capacité du varactor et $C_{parasites}$ l'ensemble des capacités parasites au sein de l'oscillateur.

b. Avantages et inconvénients

Les oscillateurs LC simple paire croisée sont reconnus pour être des oscillateurs large bande capable d'obtenir de bonnes performances en termes de consommation et bruit de phase aux fréquences millimétriques [JIMENEZ 2009] [WEI 2012] [TAI-YOU 2013]. Leur principal inconvénient est l'utilisation d'inductances, importantes en termes de taille et sujettes aux perturbations électromagnétiques, mais comme nous le verrons dans la suite de ce manuscrit des inductances de petites dimensions seront utilisées au sein des circuits conçus.

5. Oscillateur LC double paire croisée

a. Architecture

Une architecture de type double paires croisées est constituée d'une paire croisée NMOS et d'une paire croisée PMOS (figure 59). Cette topologie permet d'avoir un gain supérieur à celui obtenu lors de l'utilisation d'une architecture de type simple paire croisée, ce qui laisse présager dans un premier temps une amélioration des performances en bruit de phase et une réduction de la consommation [CHO 2005] [MAZZANTI 2013].

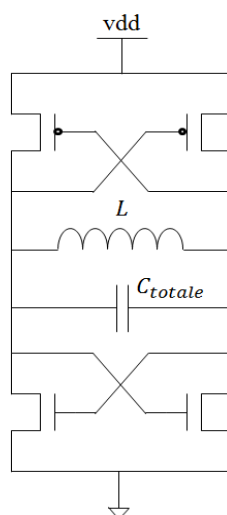


Figure 59 – Oscillateur LC double paires croisées (CMOS)

Un bon équilibrage des deux paires croisées peut permettre d'avoir une tension continue égale à $v_{dd}/2$ aux bornes du résonateur LC. Il est ainsi possible d'utiliser directement un amplificateur composé de portes inverseuses sans avoir recours à la mise en place d'un circuit de polarisation en entrée de ce dernier.

b. Avantages et inconvénients

L'architecture double paires croisées offre d'intéressantes possibilités en terme de consommation puisque qu'elle permet d'avoir un gain d'oscillateur supérieur pour un courant équivalent. Il est ainsi possible d'utiliser par la suite des amplificateurs de sortie moins important en terme de dimensionnement et donc de consommation

Néanmoins, l'on retrouve quelques limitations sur ce type de structure. Tout d'abord, il est important de noter que l'avancé des nœuds technologiques et les exigences en termes de faibles consommation du marché actuel ont tendance à introduire l'utilisation de tension d'alimentation basse pour les circuits intégrés CMOS. Il en résulte une certaine limitation par rapport à l'empilement des transistors au sein des oscillateurs, notamment lors de l'introduction de miroir de courant comme présenté dans [HADIPOUR 2014] et dans la suite de ce manuscrit. L'utilisation d'une seconde paire croisée peut être aussi perçu comme une contrainte supplémentaire lors de la création d'oscillateur large bande et haute fréquence, puisqu'elle va contribuer à l'augmentation des capacités parasites. Ces capacités parasites étant celles intrinsèques aux transistors MOS, mais aussi celles introduites par la complexification du design. Finalement, bien que ce type de structure offre de nombreux avantages, il semble que les limitations aux fréquences millimétriques soient trop importantes pour en faire usage dans le cadre d'un oscillateur large bande.

6. Etat de l'art

Références	[JUN-CHAU 2007]	[NARIMAN 2010]	[XIANG 2013]	[MURPHY 2011]	[MAMMEI 2013]
Technologie (nm)	180	65	65	65 (GP)	32
Tension d'alimentation (V)	1.5	1.2	1.2	1	1
Fréquence centrale (f_0) (GHz)	38.2	37.1	63.1	47.5	39.9
Vtune (ΔV_t) (V)	2	1.2	1	1	1
Plage de fonctionnement (%)	19.7	15.1	16.6	22.9	31.6
Bruit de Phase (dBc/Hz)	-96 @ 1MHz	-98.1 @ 1 MHz	-94.2 (60GHz) -97.7 (40GHz)* @ 1MHz	-97.5 @ 1 MHz	-115.2 @ 10 MHz
Consommation (P_{cons}) (mW)	27	14.4	11.4	16	9.8
FOM	173.3	177.9	179.6	179	177.3
FOM_T	179.2	181.5	184	186.1	187.3
$FOM_{T/V}$	173.2	179.9	184**	186.1	187.3

Figure 60 – Tableau récapitulatif de l'état de l'art des oscillateurs larges bandes fonctionnant autour de 40 GHz

* Bruit de phase estimée à 60GHz avec la soustraction de $20 \cdot \log(f_0/40)$

** Estimation pour un Vtune allant de 0 à 1 V

Différentes approches ont précédemment envisagées dans le but d'obtenir de bonnes performances pour un oscillateur millimétrique large bande (figure 8). L'utilisation d'ensembles « lignes de transmissions – paires croisées NMOS » permet d'obtenir de bonnes performances en termes de largeur de bandes mais laisse toutefois apparaître quelques limitations en termes de consommation [JUN-CHAU 2007]. Bien que ceci permette de réduire les parasites apportés par le varactor, l'utilisation de nombreuses capacités digitales s'avère rapidement être préjudiciable en termes de coefficient de qualité global du résonateur LC, limitant la plage de fonctionnement pour ne pas dégrader le bruit de phase de façon trop importante [NARIMAN 2010]. Ce sont finalement les architectures comprenant des transformateurs qui s'avèrent être les plus satisfaisante en termes de performances, que ce soit

via l'utilisation d'inductance variable [MURPHY 2011] ou bien d'inductances commutées [MAMMEI 2013]. On notera cependant que les performances obtenue par ce dernier papier doivent être considérées avec précautions, le bruit de phase mis en avant étant probablement celui obtenu avec un switch ouvert. Les performances des oscillateurs peuvent être comparées par l'intermédiaire de trois figures de mérites. La première ne prenant n'en compte que les performances en termes de bruit de phase, la fréquence centrale et la consommation :

$$FOM = |PN - 20.\log\left(\frac{f_0}{\Delta f}\right) + 10.\log\left(\frac{P_{cons}}{1\text{ mW}}\right)| \quad (2.7)$$

La seconde prenant en compte la plage de fréquence couverte par l'oscillateur :

$$FOM_T = |PN - 20.\log\left(\frac{f_0}{\Delta f} \frac{TP}{10\%}\right) + 10.\log\left(\frac{P_{cons}}{1\text{ mW}}\right)| \quad (2.8)$$

Et la troisième permettant en plus de rajouter la variation de tension appliquée sur le varactor :

$$FOM_{T/V} = |PN - 20.\log\left(\frac{f_0}{\Delta f} \frac{TP}{10\%} \frac{1\text{ V}}{\Delta V_t}\right) + 10.\log\left(\frac{P_{cons}}{1\text{ mW}}\right)| \quad (2.9)$$

2. Optimisation du Bruit de phase

1. Définition du bruit de phase dans les oscillateurs

Le bruit de phase fait partie des propriétés caractérisant les performances de l'oscillateur. Comme nous le verrons par la suite, les sources de bruit sont nombreuses, et induisent une fluctuation de la période du signal résultant en un étalement du spectre autour de la porteuse du signal. De manière générale on considèrera le bruit de phase comme étant un rapport de puissance entre la puissance d'une porteuse et la puissance intégrée d'une bande de 1 Hz éloignée de f de la porteuse. En bande latérale unique, lorsque la puissance est intégrée sur une bande de 1Hz, l'unité du bruit de phase est le dBc/Hz.

$$L(f) = 10.\log_{10}\left(\frac{P(f)}{P_0}\right) \quad (2.10)$$

$P(f)$ étant la puissance intégrée dans 1Hz de bande situé à f de la porteuse et P_0 la puissance contenue dans la porteuse.

La formule de Leeson, décrite dans [LEESON 1966], permet quant-à elle d'effectuer une détermination du profil de bruit d'un oscillateur :

$$L(f) = 10 \cdot \log \left[\frac{1}{2} \cdot \left[1 + \left(\frac{f_0}{2 \cdot Q \cdot f} \right)^2 \right] \cdot \left(1 + \frac{f_c}{f} \right) \cdot \frac{F \cdot k \cdot T}{P_0} \right] \quad (2.11)$$

f_0 étant la fréquence de la porteuse, Q le coefficient de qualité du résonateur LC, f_c la fréquence de coupure du bruit en $1/f$, F le facteur de bruit, k la constante de Boltzmann, T la température absolue en kelvin et P_0 la puissance contenue dans la porteuse. Les valeurs des coefficients f_c et F étant principalement fixés par la technologie, il apparaît assez clairement qu'une réduction du bruit de phase passe par une augmentation de la puissance contenue dans la porteuse et une amélioration du coefficient de qualité du résonateur LC.

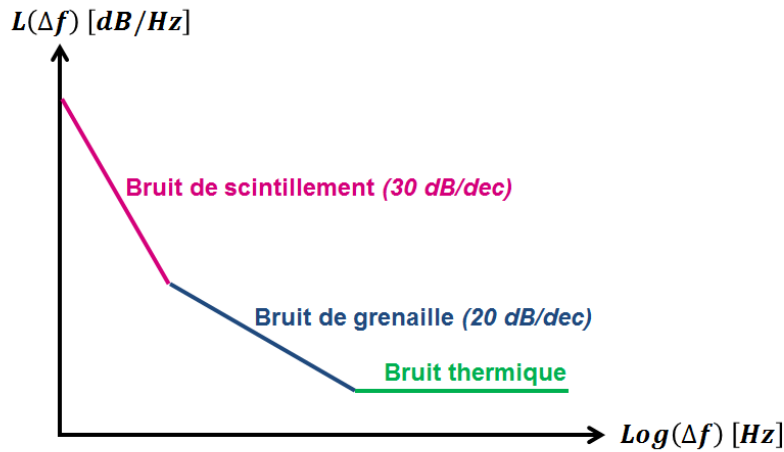


Figure 61 – Bruit de phase d'un oscillateur

Le bruit de phase résulte finalement d'une somme de bruits apportés par les différents éléments de l'oscillateur où chacun prédomine dans une gamme de fréquence [BERNY 2006] (figure 61). Le bruit thermique est principalement défini par les effets résistifs composant l'oscillateur puisqu'il est dû aux mouvements aléatoires des porteurs de charges apparaissant lors de l'excitation thermique. Le bruit de grenaille correspond au franchissement aléatoire par les électrons d'une barrière de potentiel. Tandis que le bruit de scintillement (appelé aussi bruit en $1/f$ ou « flicker noise »), dominant aux fréquences proches de la porteuse, résulte essentiellement des fluctuations apparaissant dans le mécanisme de conduction.

2. Optimisation du rapport L/C

a. Considérations globales

Comme nous l'avons vu auparavant grâce à la formule de Leeson, le bruit de phase d'un oscillateur est principalement défini de manière directe ou indirecte par le résonateur LC. Indépendamment des valeurs de coefficients de qualité des éléments composants le résonateur LC, il convient alors de déterminer dans un premier temps une tendance pour la valeur du ratio L/C afin d'obtenir de bonnes performances en bruit de phase à une fréquence de fonctionnement donnée. Cette première approximation permet de mettre en évidence le fait que l'utilisation d'une importante partie capacitive (et donc une faible partie inductive) s'avère être un choix opportun pour envisager la conception d'un oscillateur faible bruit. L'un des moyens les plus explicites permettant d'expliquer cette tendance, est la réduction des effets non-linéaires de la paire croisée NMOS induite par la mise en parallèle d'une importante capacité en parallèle des capacités parasites C_{gd} des transistors. La figure 62 met en évidence l'influence d'une forte partie capacitive dans le cas où l'on s'abstiendrait des coefficients de qualité réels des inductances et capacités :

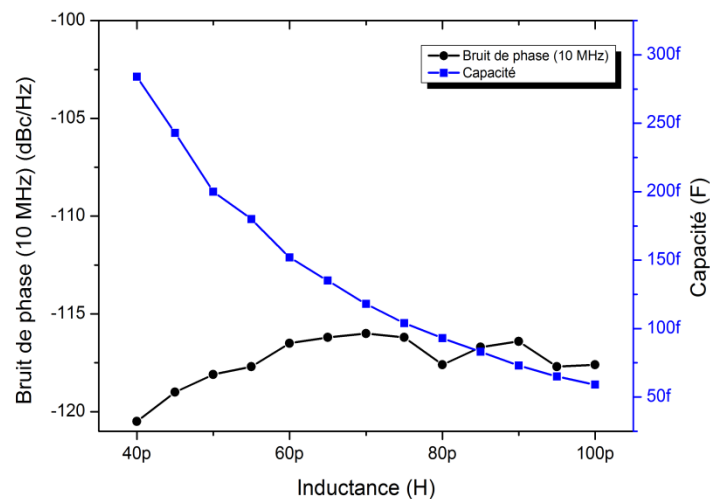


Figure 62 – Bruit de phase d'un oscillateur LC paire croisée simple à 10MHz de la porteuse pour une fréquence d'oscillation de 41GHz (modèles simplifiés)

Ainsi, dans le cadre du design de d'oscillateur millimétrique, il sera préférable d'utiliser une importante partie capacitive, dont la grandeur sera néanmoins modérée par l'amplitude d'oscillation [EBRAHIMZADEH 2011] mais aussi, comme le montre la figure 63, par les valeurs des coefficients de qualité des éléments composants le résonateur :

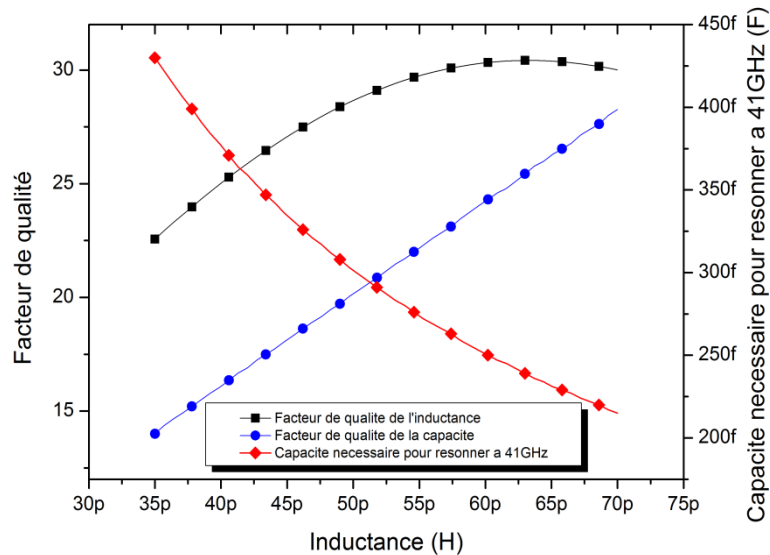


Figure 63 – Facteur de qualité des inductances et capacités nécessaires pour obtenir une fréquence d’oscillation à 41GHz (non prise en compte du switch des capacités digitales)

Les limitations en termes de coefficient de qualité des inductances ayant de faibles valeurs sont principalement dues au rapprochement des deux entrée-sortie différentielles qui engendre une augmentation de la mutuelle et une certaine limitation quant-à la fréquence de résonance. Comme nous le verrons par la suite, il est aussi nécessaire de prendre en compte l’intégration du varactor dans le cadre d’un oscillateur analogique, ce qui implique une certaine régulation de la valeur d’inductance via un compromis entre le KVCO et le facteur de qualité du varactor. Finalement, un point optimum semble se situer autour d’une valeur d’inductance de 55 pH, puisque c’est pour cette valeur que l’on retrouve le meilleur compromis entre la réduction des non-linéarités, et l’obtention d’importantes valeurs concernant les coefficients de qualité et résistances parallèles des éléments du résonateur.

b. Réductions des non linéarités via l'utilisation d'inductance

Outre l’utilisation d’une importante partie capacitive pour le résonateur LC, il est aussi possible de réduire une partie des effets non-linéaire d’un oscillateur grâce à l’ajout de composants passifs. Différentes techniques sont donc employées dans le cadre de la conception d’oscillateur faible bruit de phase, afin de réaliser des filtrages via l’utilisation d’éléments déjà présents au sein du circuit. Comme nous le verrons dans la suite de ce manuscrit, un premier filtrage du bruit peut être effectué au niveau du miroir de courant via l’utilisation d’une capacité reliant les grilles des transistors à la masse. Comme on peut le voir sur la figure 64, des inductances peuvent aussi être placées au niveau des grilles des transistors de la paire croisée dans le but d’effectuer un filtrage des hautes harmoniques du signal :

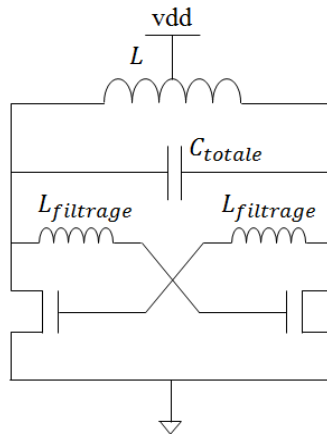


Figure 64 – Réduction des non-linéarités via l'ajout de résistance sur les grilles de la paire croisée

Le principal inconvénient des inductances placées sur la paire croisée réside dans leur encombrement. Une solution pourrait être de considérer un large écartement entre les entrées différentielles de l'inductance du résonateur. Néanmoins cette méthode s'avérerait risquée en termes de symétrie de l'oscillateur, puisqu'elle favoriserait une différenciation des éléments actifs due aux variations de process lors de la fabrication du circuit. Une autre solution consiste donc à condenser au maximum les inductances placées sur la paire croisée sans pour autant engendrer un couplage trop fort avec les autres éléments de l'oscillateur. Pour une valeur d'inductance donnée, un compromis apparaît alors entre la résistance série et les capacités parasites, ces deux propriétés étant directement liés au dimensionnement de la ligne de façon inversement proportionnelle. Nous avons finalement choisi, dans le cadre de cette étude, de ne pas utiliser d'inductances sur la paire croisée, afin de pouvoir relâcher un certain nombre de contraintes de conception.

La dernière étape d'optimisation du bruit de phase est axée sur le dimensionnement des transistors de la paire croisée. Il est préférable de fixer la longueur de grille des transistors de la paire croisée entre 2 et 3 fois la longueur minimum délimitée par la technologie. Bien que ceci ait des répercussions négatives sur la valeur de la résistance négative, il est ainsi possible de minimiser l'impact du bruit de scintillement des transistors de la paire croisée sur le bruit de phase de l'oscillateur [MOMOSE 1998]. La largeur de grille des transistors doit ensuite être déterminée en fonction des spécifications imposée par le résonateur. Les transistors doivent dans un premier temps être de largeur suffisante pour ne pas limiter le courant les traversant et donc assurer $I_{ds} = I_{oscillateur} / 2$. $I_{oscillateur}$ étant le courant total traversant l'oscillateur fixé par le miroir de courant et I_{ds} le courant présent au sein des transistors de la paire croisée. L'utilisation d'une importante largeur de transistors est favorable à l'augmentation de l'amplitude d'oscillation au sein du résonateur, via une diminution de la tension V_{ds} et une augmentation du gain, ce qui pourrait donc dans un premier temps sembler favorable au bruit de phase. Il convient néanmoins de considérer l'impact du bruit thermique causée par les transistors de grandes tailles ainsi que l'importance des capacités parasites induites par la paire croisée dans le cadre de la réalisation d'oscillateur large bande, ce qui impose finalement une certaine limitation quant à la largeur maximum des transistors de la paire croisée.

3. Inductance

1. Facteur de qualité

Comme nous l'avons vu précédemment, le coefficient de qualité des éléments du circuit LC joue un rôle prépondérant par rapport aux performances globales de l'oscillateur. Une inductance possédant un mauvais coefficient de qualité sera un obstacle majeur à la conception d'un oscillateur LC faible consommation et faible bruit, c'est pourquoi il convient de ne pas négliger ce composant dont le facteur de qualité est décrit par :

$$Q = \frac{\text{imag}(Z)}{\text{real}(Z)} \quad (2.12)$$

Différentes méthodes sont donc possible pour améliorer le coefficient de qualité d'une inductance. La première solution consisterait à augmenter la valeur de sa partie imaginaire, en l'occurrence sa valeur inductive. Une démarche intuitive mènerait donc vers une diminution de la largeur de la ligne, ce qui aurait cependant des conséquences négatives sur sa résistivité. En prenant le problème dans l'autre sens, on pourrait penser qu'il est donc nécessaire d'élargir au maximum la largeur ou la hauteur de la ligne mais l'on atteint alors rapidement une autre limitation avec l'augmentation des capacités de couplages entre la ligne et le substrat, visible sur la figure ci-dessous :

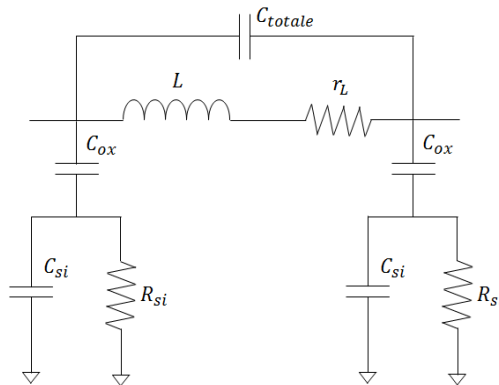


Figure 65 – Modèle simplifié d'une inductance

Un compromis est donc à trouver de manière à réduire au maximum la résistivité de la ligne, sans pour autant provoquer une résonance en fréquence trop proche ou inférieure à la fréquence de fonctionnement désirée. Diverses études ont été menées en technologie 28 nm FDSOI CMOS 10 niveaux de métaux, de manière à trouver le meilleur compromis entre niveaux de métaux et largeur de ligne utilisés pour des inductances de faibles valeurs (en l'occurrence 55 pH). Il convient tout d'abord de considérer la hauteur et les caractéristiques des niveaux de métallisations, ce qui permet de mettre en évidence, en figure 66, que les ratios *résistance série/capacité effective* sont bien moins intéressants pour les niveaux de métallisations inférieurs à IA.

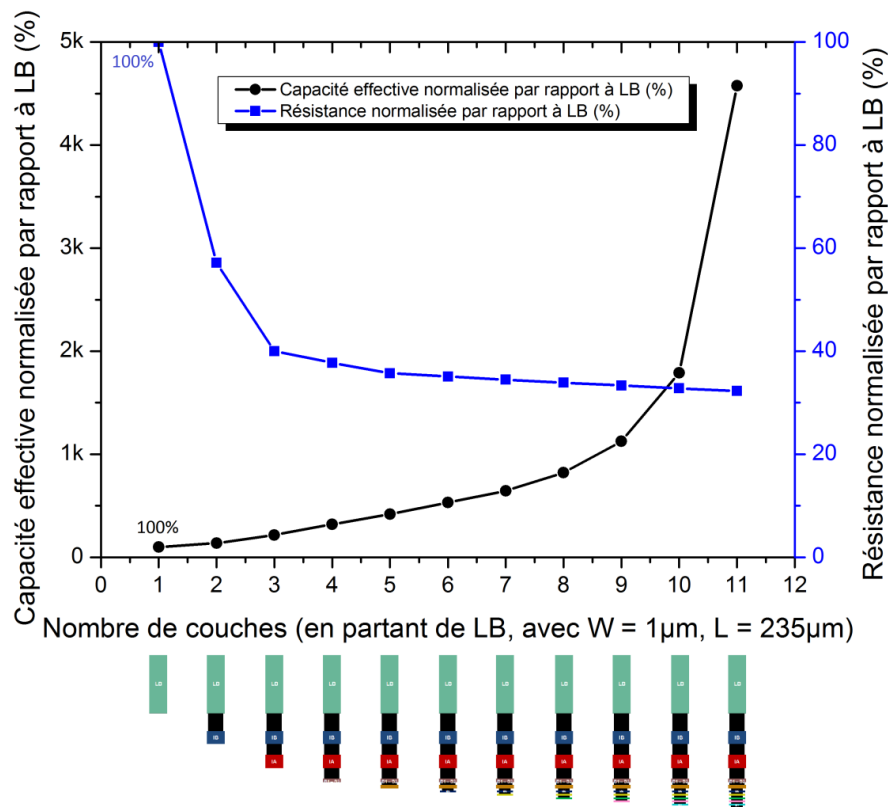


Figure 66 – Capacité effective et résistance série normalisée d’une inductance possédant une longueur de $235\mu m$ et une largeur de $1\mu m$ (technologie 28 nm FDSOI CMOS)

Dans le cas de cette étude, sachant que l’on considère une inductance de faible valeur fonctionnant à des fréquences millimétriques, il est préférable de n’utiliser que les niveaux IA, IB et LB, possédant respectivement des largeurs de 5, 10 et $12\mu m$. La largeur minimum des niveaux supérieurs IB et LB est en bonne partie dictée par le l’encombrement des vias VV puisque les dimensions mis en jeu sont de $5\mu m \times 5\mu m$. L’utilisation de plusieurs vias permet de considérablement réduire la résistance d’accès ce qui implique l’utilisation d’une largeur de ligne minimum de $10\mu m$ à ces niveaux de métallisations. La forme et le dimensionnement de l’inductance doivent être choisis avec attention lors de la conception d’un VCO puisque ces paramètres permettent de définir le facteur de mise en forme et l’intégration des autres éléments du circuit. Il est préférable d’anticiper l’espace occupé par la banque de capacités digitales et le varactor afin de définir l’écartement des deux entrées différentiel de l’inductance.

2. Discussion sur les boucliers de masse (écrans de masse)

a. Principe de fonctionnement

Les boucliers de masse, aussi appelés écrans de masse, sont des éléments habituellement intégrés dans les inductances RF dans le but d'améliorer leurs performances et d'assurer une certaine immunité réciproque vis-à-vis des circuits voisins. Ils ont pour fonction de capter le champ électrique de l'inductance, pour permettre un retour de masse via un ou plusieurs niveaux de métallisation, plutôt que par le substrat.

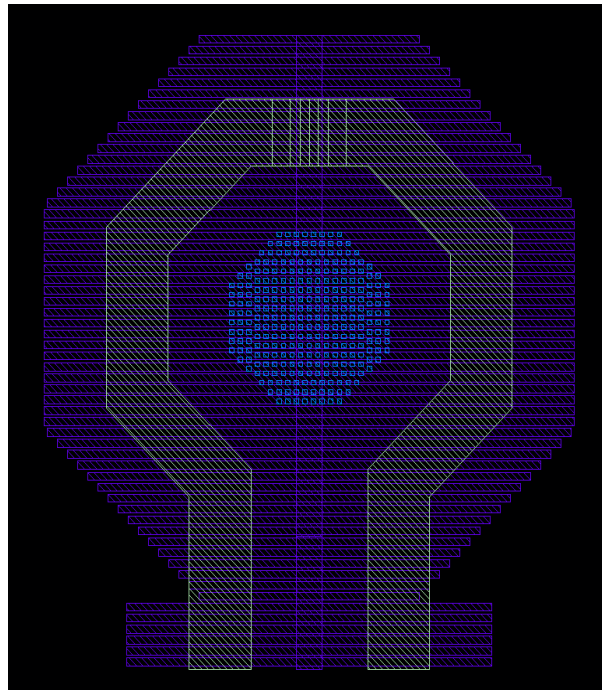


Figure 67 – Boucliers de masse M1

Les écrans de masse placés sous les inductances ne peuvent être pleins. D'une part puisque ceci provoque des problèmes d'homogénéité de matériaux, mais aussi et principalement parce que ce type de remplissage engendre d'important courant de Foucault, responsable de pertes par effets joules. Ainsi, comme on peut le voir sur la figure 67, on privilégiera l'utilisation de doigts reliés entre eux pour la réalisation de l'écran de masse. La largeur des doigts ne devra être ni trop importante afin minimiser la génération de courant de Foucault, ni trop faible pour garantir de faibles effets inductifs et résistifs parasites.

b. Limitation pour les fréquences millimétriques

L'inconvénient majeur de cet élément est qu'il rapproche physiquement la masse de l'inductance, ce qui provoque une augmentation de la capacité C_{ox} présente entre ces deux parties. Les conséquences de ce phénomène ne sont pas négligeables à hautes fréquences quant-au coefficient de qualité de l'inductance, puisque la largeur ou l'épaisseur de cette dernière doivent alors être réduite, dans le but de recentrer sa fréquence de résonance au point de fonctionnement voulu. D'ordre général, il sera donc préférable de s'abstenir de l'utilisation de boucliers de masse lors de l'utilisation d'inductance au sein de circuits fonctionnant au-delà de 30GHz.

3. Contraintes associées au respect des règles de densités

a. Proximité du plan de masse

L'intégration d'une inductance au sein d'un circuit nécessite certaines précautions vis-à-vis des éléments voisins. Ainsi dans un premier temps, il convient de déterminer la distance minimum d'implantation du plan de masse autour de l'inductance afin d'en évaluer les dimensions finales. Une proximité maximale entre ces deux éléments offre d'intéressantes perspectives en termes de surface occupée et de réductions des longueurs de connections, ce qui constitue un avantage non négligeable lors de l'utilisation de technologie avancée. Comme on peut le voir sur la figure 68, une certaine limitation est toutefois imposée pour ce dimensionnement, puisqu'une trop importante proximité entre l'inductance et le plan de masse peut se traduire par une dégradation du coefficient de qualité, via un couplage latérale. Il semble finalement intéressant de séparer le plan de masse et le centre de l'inductance par une distance égale au diamètre extérieur de l'inductance [RUNIU 2013].

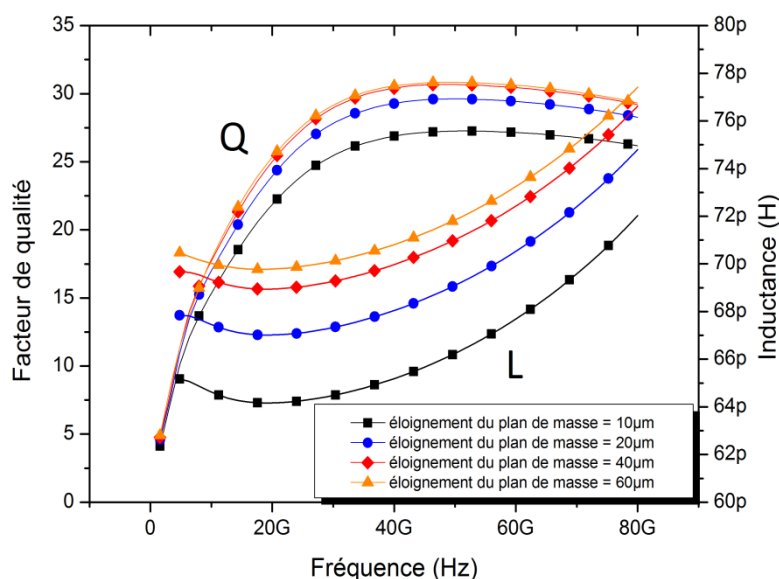


Figure 68 – Influence de la distance « inductance - plan de masse » sur le coefficient de qualité et la valeur inductive

b. Dummies

Comme expliqué auparavant, d'importantes contraintes sont imposées par les nœuds technologiques avancés, tout particulièrement en termes de règles de densité. Les inductances font partie des éléments les plus impactés puisque ce sont des structures utilisant peu de densité de métallisation sur une surface conséquentes. Il est nécessaire de procéder à une implémentation de dummies afin de pouvoir rééquilibrer la densité de métallisation pour chaque niveau de métallisation. Cette implémentation devra de préférence être effectuée manuellement plutôt que de façon automatique de manière à bien minimiser et symétriser son impact sur l'inductance. Ce dernier point étant notamment évoqué dans [TSUCHIYA 2008] et [CHANG 2002]. Comme on peut le voir sur la figure 69, une disposition en spirale permet de réduire les effets parasites en réduisant le nombre de couches superposées. Il est ainsi possible de préserver les performances initiales de l'inductance dans le cas d'une proximité adaptée.

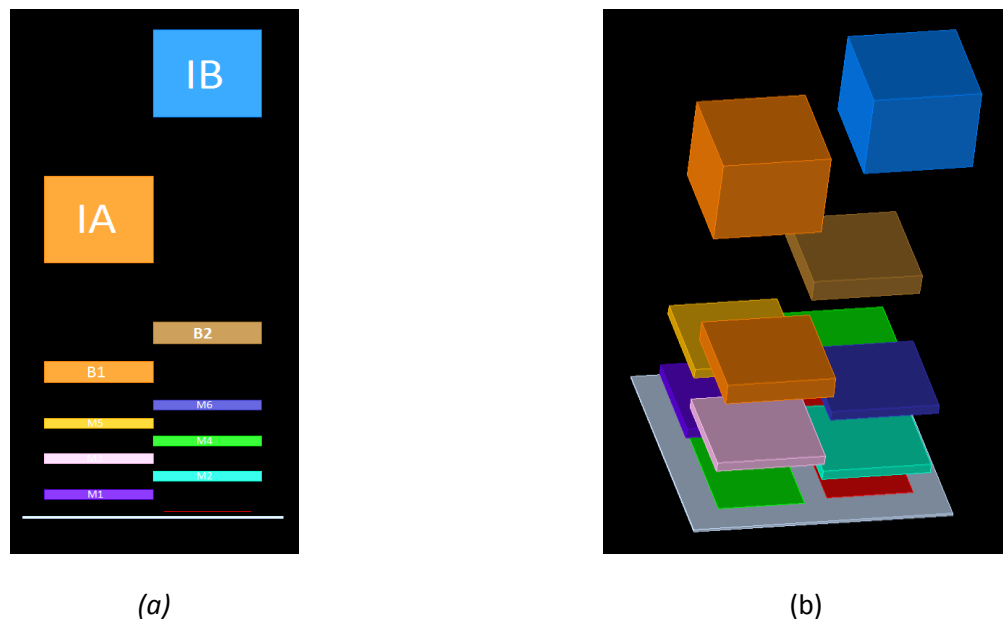


Figure 69 – Disposition en spirales des dummies – vue en coupe (a) et vue 3D (b)

Comme il est possible de le voir sur la figure 70, les dummies ont un certain impact sur les propriétés électromagnétiques du composant en fonction de leur disposition. Il est fortement déconseillé de placer quelconques dummies sous les lignes de l'inductance, puisque ces derniers contribuent directement à l'augmentation de la capacité équivalente C_{ox} et vont déplacer la fréquence de résonance vers les basses fréquences. La seconde zone de remplissage de dummies la plus critique se situe au centre de l'inductance, c'est pourquoi il est donc nécessaire d'en disposer le moins possible, quitte à augmenter quelque peu la densité autour de l'inductance.

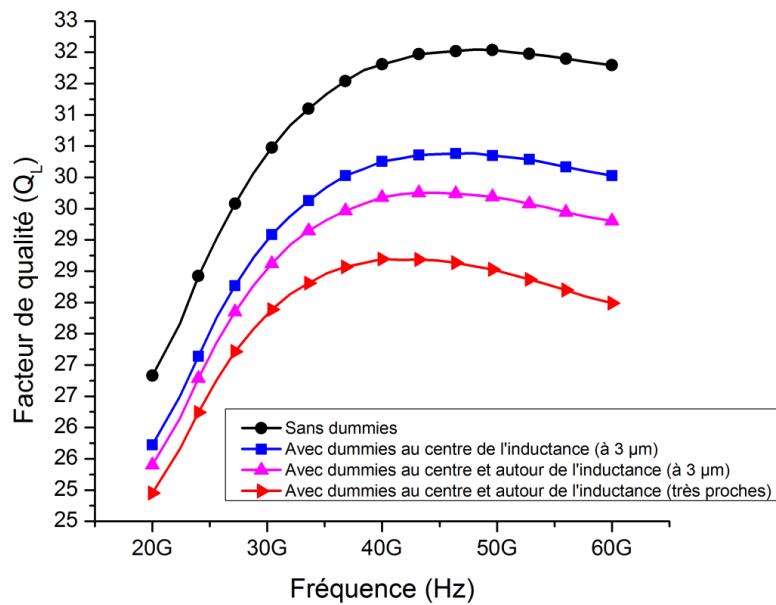


Figure 70 – Influence des dummies sur le coefficient de qualité d’une inductance de 100 pH

De façon générale, il sera préférable de ne pas placer de dummies à moins de 3μm de distance de l’inductance. On peut ainsi observer que le respect de toutes ces règles limite l’impact des dummies sur la dégradation du coefficient de qualité de l’inductance à environ 10% pour une inductance proche de 100 pH en technologie 28 nm FDSOI CMOS.

4. Varactor

1. Implémentation dans la technologie 28 nm CMOS FDSOI

a. Fonctionnement global

Le varactor est une diode à capacité variable faisant partie des dispositifs essentiels présents au sein des oscillateurs analogiques contrôlés en tension. Le rôle de cet élément est d’obtenir une capacité variable en fonction de la tension appliquée à ses bornes, cette fonction étant assez communément réalisée via la variation du canal présent sous la grille du transistor [HUI 1998] [ITANO 2012] [SONG 2003]. Une large plage de polarisation (3.6V) est offerte par l’usage de transistors de type GO2 (EG). Ce dernier est alors de type N+ poly/N-Well ce qui, comme nous allons le voir par la suite, le différencie quelque peu des varactors que l’on retrouve habituellement sur les technologies CMOS bulk.

b. Mode de fonctionnement

Les 3 modes de fonctionnement pouvant être considérés pour un varactor bulk classique sont les régimes d'accumulation, de déplétion (aussi appelé régime d'appauvrissement) et de forte inversion :

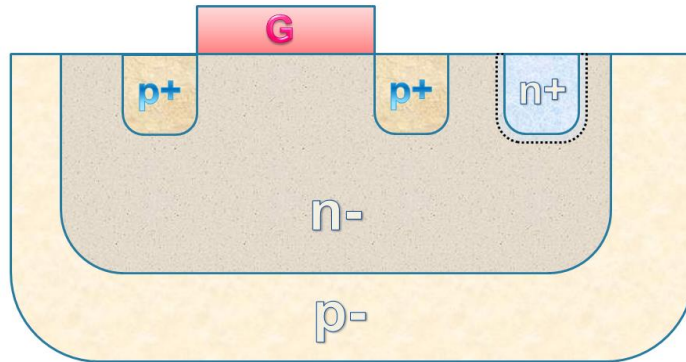


Figure 71 – Vue en coupe d'un transistor MOS GO2 utilisé dans le cadre d'un varactor bulk classique

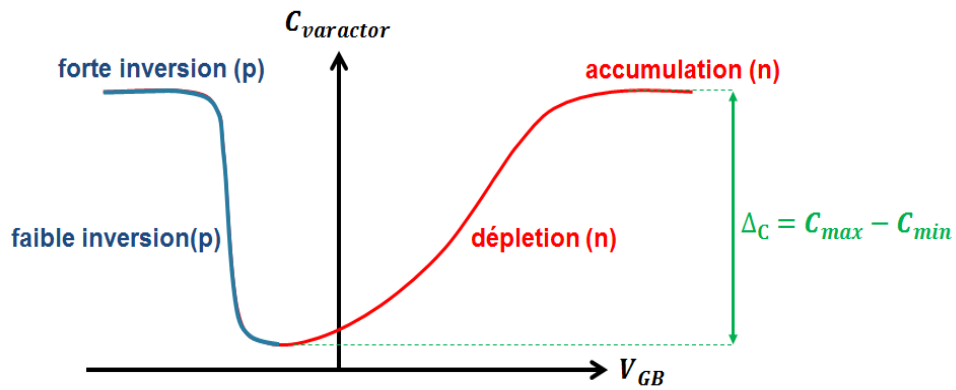


Figure 72 – Modes de fonctionnement d'un varactor bulk classique

En revanche, dans le cadre de la technologie 28 nm FDSOI CMOS, la conception de varactor MOS GO2 implique uniquement un fonctionnement en régime d'accumulation ou déplétion, le régime d'inversion ayant été supprimée par l'utilisation de dopages N+/N- :

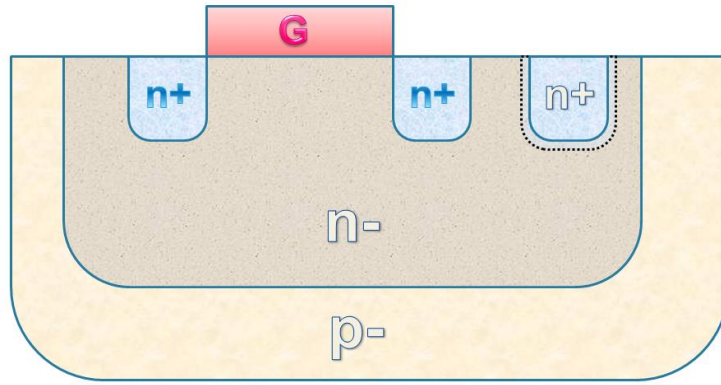


Figure 73 – Vue en coupe d’un transistor MOS GO2 utilisé dans le cadre d’un varactor en technologie 28 nm FDSOI CMOS

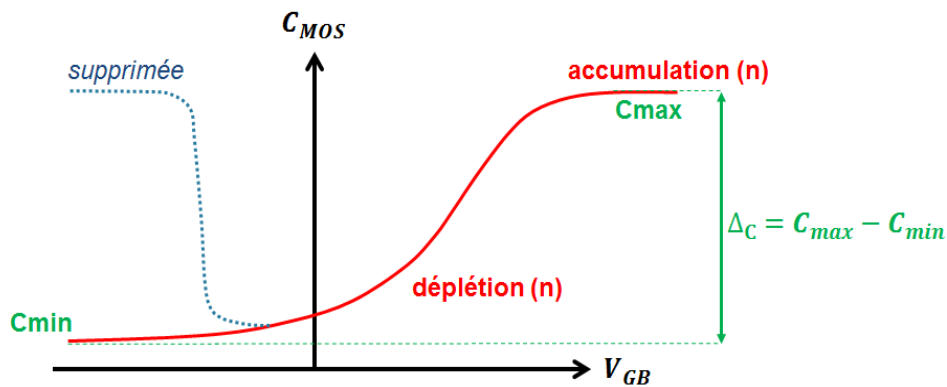


Figure 74 – Modes de fonctionnement d’un varactor en technologie 28 nm FDSOI CMOS

Il est ainsi possible d’espérer une augmentation de la variation de capacité Δ_C de l’ordre de 10%, malgré une légère dégradation de coefficient de qualité [MAGET 2002].

2. Limitations liées au KVCO

a. Définition du KVCO

La variation en fréquence induite par une variation de la tension appliquée aux bornes du varactor conditionne le gain du VCO (KVCO). Cette plage de variation est à la fois déterminée par les propriétés intrinsèques du MOS mais aussi par son dimensionnement. Une minimisation de la longueur et de la largeur des doigts de la grille des transistors permettant de maximiser le coefficient de qualité, il ne reste plus qu’à définir le nombre de doigts et de cellules utilisés en fonction de la plage de capacité désirée.

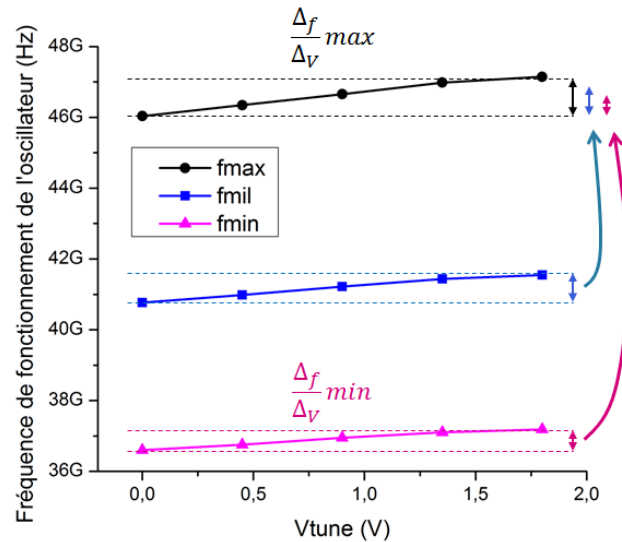


Figure 75 – Evolution du KVCO en fonction de la fréquence de fonctionnement

Bien que le KVCO soit un paramètre principalement défini par le varactor, il est important de noter qu'il est aussi dépendant des composants de l'oscillateur. Ainsi, comme on peut le voir figure 75, l'activation des capacités digitales a pour effet d'agrandir la partie capacitive du résonateur ce qui implique une diminution de l'impact de la capacité du varactor et par conséquent une diminution du KVCO.

b. Influence sur le coefficient de qualité

Bien qu'étant initialement défini par les besoins de la boucle à verrouillage de phase, il n'en demeure pas moins que les valeurs minimum et maximum possible du KVCO sont aussi délimités par la structure interne de l'oscillateur. L'utilisation d'un faible gain de VCO (KVCO) s'avère être fortement problématique au sein d'un oscillateur millimétrique large bande puisque la faible bande de fréquence couverte par le KVCO doit être compensée par un grand nombre de capacités digitales. Il en résulte une résistance parallèle totale relativement faible, en discordance avec l'objectif faible consommation et faible bruit de l'oscillateur. Cependant, à l'inverse, il est aussi difficile de pouvoir utiliser un fort KVCO puisque ceci implique l'intégration d'un varactor de grande taille possédant un faible coefficient de qualité. Un compromis doit finalement être trouvé de manière à optimiser la valeur de la résistance parallèle présentée par l'ensemble « varactor + capacités de commutation » tout en garantissant un recouvrement totale de la plage de fréquence de l'oscillateur. Il est généralement conseillé de quelque peu surdimensionner la valeur du KVCO afin de sécuriser le recouvrement en cas de mésappariement des valeurs de capacités.

c. Intégration dans une boucle à verrouillage de phase

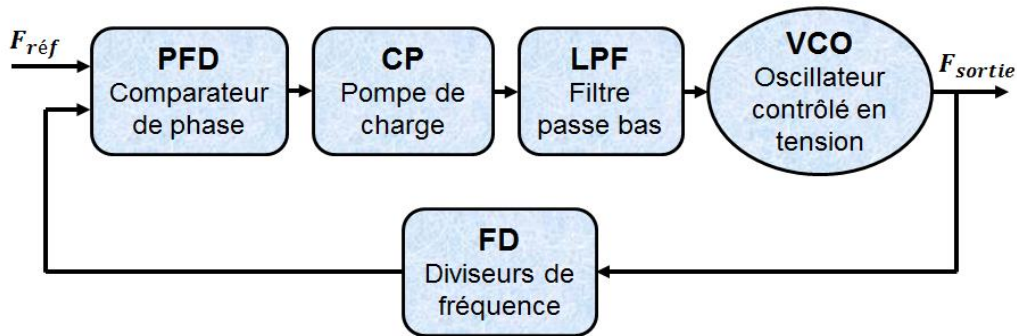


Figure 76 – Intégration d'un oscillateur contrôlé en tension au sein d'une boucle à verrouillage de phase

L'intégration d'un oscillateur contrôlé en tension au sein d'une boucle à verrouillage de phase, comme sur la figure 76, nécessite un ajustement du KVCO en fonction des spécifications imposées par le système. Comme nous le verrons par la suite dans le chapitre suivant, l'utilisation d'un fort KVCO au sein d'une boucle à verrouillage de phase engendre l'apparition de certaines difficultés quant-au dimensionnement de la pompe de charge et du filtre de boucle.

3. Limitations liées à la conception d'un varactor

a. Influence des capacités parasites

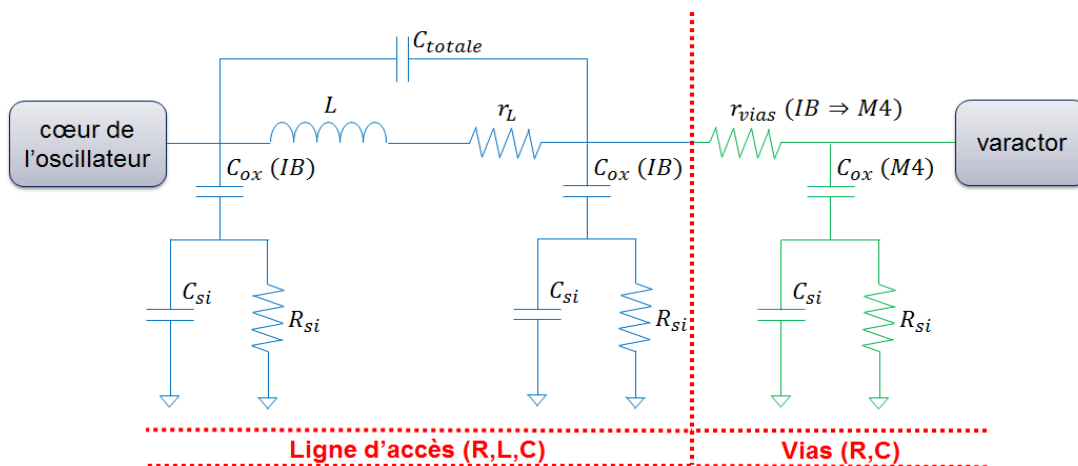


Figure 77 – Modélisation des parasites externes liés à la conception du varactor

Une intégration minutieuse du varactor est nécessaire lors de sa conception dans le but minimiser autant que possible la longueur des accès et garantir un faible ajout de résistances et capacités parasites que l'on observe figure 77. L'inductance étant généralement localisée sur les niveaux de métallisations les plus haut, il sera bénéfique en termes de capacités parasites d'effectuer une remontée assez rapide sur les niveaux de métallisations supérieurs, tout en garantissant l'utilisation d'un nombre de trous métallisés suffisant pour assurer une faible résistance d'accès (figure 78).

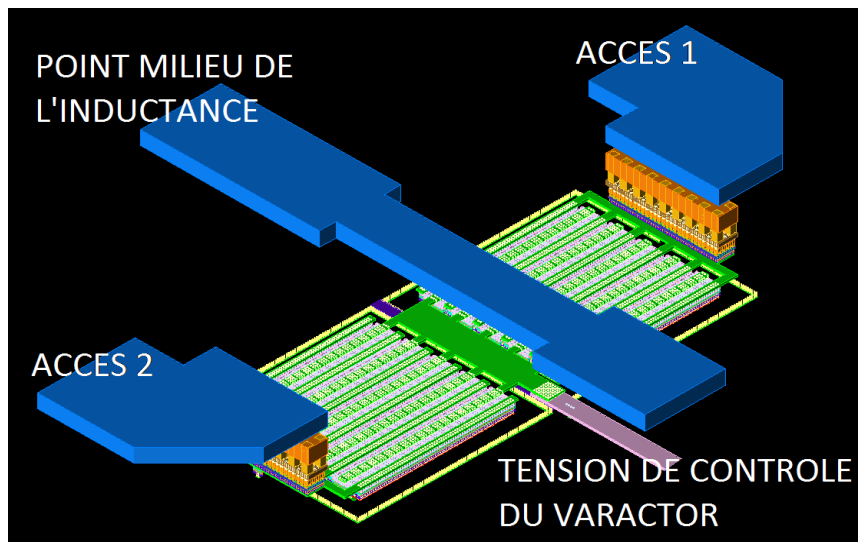


Figure 78 – Dessin d'un varactor (vue 3D)

b. Polarisation du varactor

La polarisation du varactor fait partie des éléments critiques de la conception d'un oscillateur fonctionnant à des fréquences millimétriques. Dans le cas d'une structure classique, il est habituellement nécessaire d'utiliser un circuit de polarisation (figure 79), constitué d'une capacité de liaison et d'une résistance de forte valeur, pour appliquer la tension désirée aux bornes du varactor.

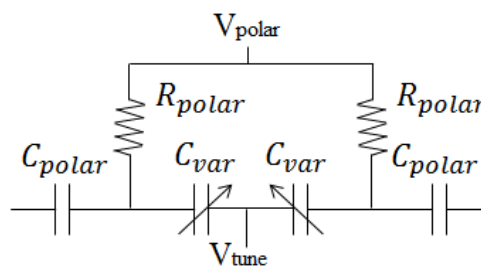


Figure 79 – Polarisation classique d'un varactor

Malheureusement l'utilisation de ce type de structure n'est pas sans conséquences sur les performances intrinsèques du varactor. En effet, il est tout d'abord nécessaire d'utiliser une capacité de liaison possédant de grande dimension, afin d'avoir une capacité totale équivalente très proche de la valeur de la capacité du varactor, ce qui va impliquer un important ajout de résistances et capacités parasites. De plus la résistance utilisée pour appliquer la polarisation introduit un bruit $4kTR$, ce qui contribue à la dégradation des performances en bruit de phase du VCO. Il est finalement possible de définir l'impédance totale vue par la résistance négative comme étant :

$$Z_{\text{résonateur_classique}} = Z_{\text{ind}} // Z_{\text{Cswitchées}} // [Z_{\text{Cpolar}} + (Z_{\text{Cvar}} // Z_{\text{Rpolar}})] \quad (2.13)$$

Avec

$$Z_{\text{ind}} = r_{\text{ind}} + j \cdot \omega \cdot L_{\text{ind}} \quad (2.14)$$

$$Z_{\text{Cswitchées}} = r_{\text{Cswitchées}} + \frac{1}{j \cdot \omega \cdot C_{\text{Cswitchées}}} \quad (2.15)$$

$$Z_{\text{Cvar}} = r_{\text{Cvar}} + \frac{1}{j \cdot \omega \cdot C_{\text{Cvar}}} \quad (2.16)$$

$$Z_{\text{Cpolar}} = r_{\text{Cpolar}} + \frac{1}{j \cdot \omega \cdot C_{\text{Cpolar}}} \quad (2.17)$$

$$Z_{\text{Rpolar}} = r_{\text{Rpolar}} \quad (2.18)$$

Il est clairement mis en évidence que le coefficient de qualité total du varactor est dégradé par la présence du circuit de polarisation, via l'ajout d'une résistance série, d'où la nécessité d'envisager une autre solution [LIN 2005].

5. Inductance variable

1. Approche théorique

a. Procédé et modélisation

Comme nous avons pu le constater dans le paragraphe précédent, il existe une importante contrainte liée au circuit de polarisation du varactor. Il était donc nécessaire de trouver un autre moyen de polarisation, peu contraignant en termes de parasites et de surfaces. Une solution a finalement été trouvée en plaçant le varactor de manière non-conventionnelle à l'extérieur du circuit LC via l'utilisation d'un transformateur, ce qui revient conceptuellement à utiliser une inductance variable (figure

80). Bien que le principe d'inductance variable ait auparavant été abordé dans différents papiers traitant de VCO millimétrique, il est bien plus courant de retrouver une topologie basé sur l'utilisation de switch comme dans [JAEMO 2010] ou [LIANG 2014] ce qui dégrade fortement les performances en bruit de phase.

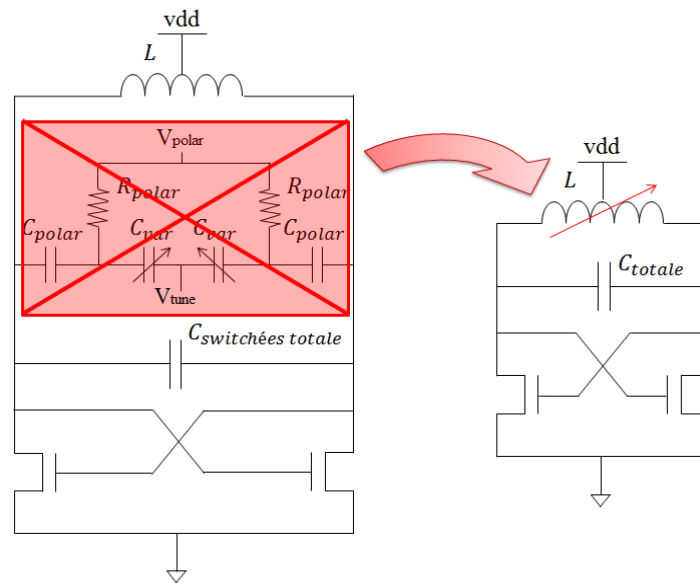


Figure 80 – Oscillateur LC paire croisée avec inductance variable

Il convient alors de minimiser les parasites engendrés par le transformateur, afin de les rendre moins important que ceux induits par l'utilisation d'une topologie de polarisation classique, tout en bénéficiant des effets de couplages et de différenciation d'inductance (figure 81).

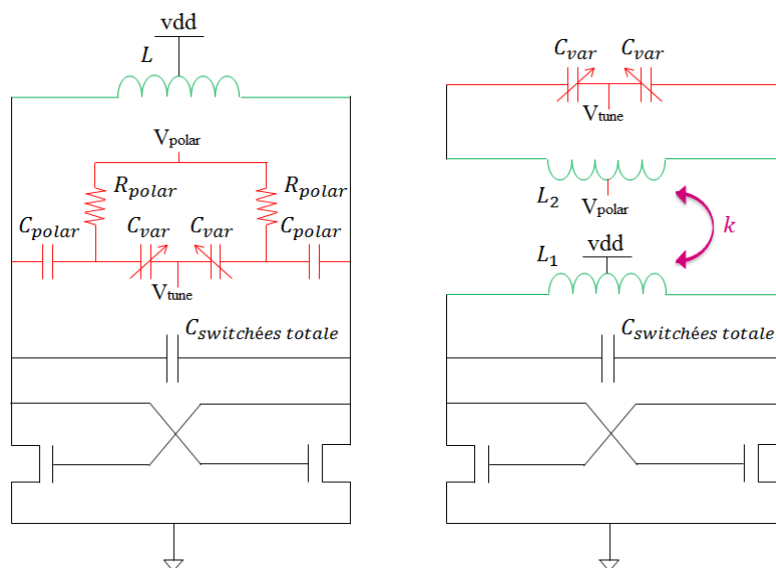


Figure 81 – Modélisation d'oscillateur LC paire croisée avec utilisation d'un transformateur pour la réalisation d'une inductance variable

b. Mise en équation

La modélisation d'un transformateur peut être effectuée grâce à la simplification suivante, aussi retrouvée dans [JUN 2012] ou [LIANG 2014] :

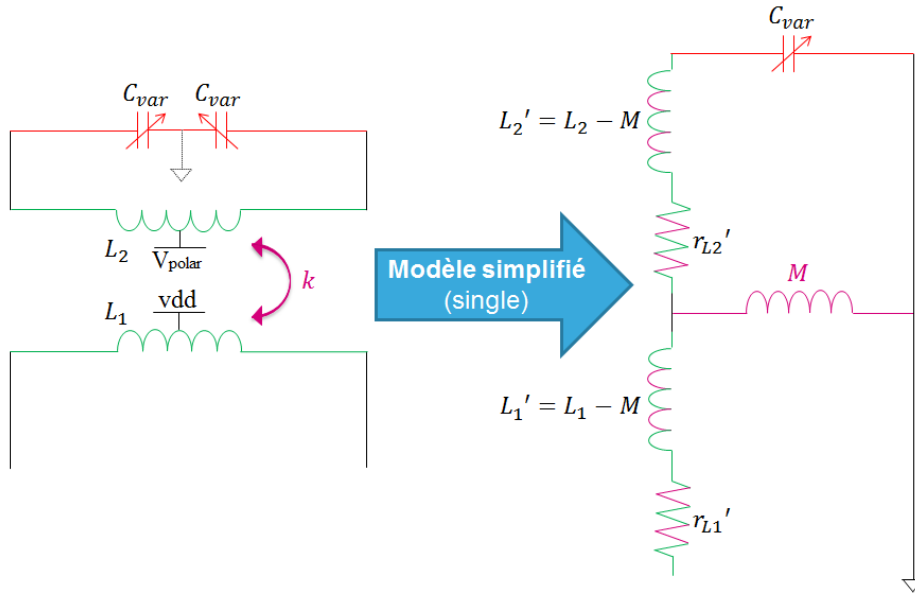


Figure 82 – Modèles simplifiés d'une inductance variable utilisant un transformateur

L_1 étant la valeur de l'inductance de la partie primaire du transformateur, L_2 la valeur de l'inductance de la partie secondaire du transformateur et M la mutuelle de l'inductance définit par :

$$M = k \cdot \sqrt{L_1 \cdot L_2} \quad (2.19)$$

k étant le coefficient de couplage magnétique entre la partie primaire et la partie secondaire du transformateur. Ainsi dans le cas de la réalisation d'une inductance variable, on peut voir sur la figure 30 qu'un coefficient de de couplage proche de 1 permet de minimiser les inductances parasites L_1' et L_2' , en plus de pouvoir diminuer la taille des capacités nécessaires pour osciller à 41 GHz comme le montre la figure 83 :

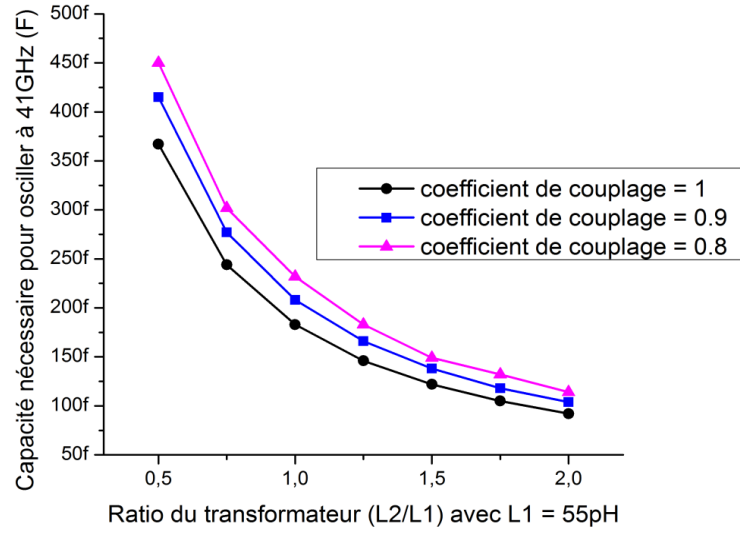


Figure 83 – Capacité nécessaire pour osciller à 41 GHz en fonction du ratio du transformateur (L2/L1) et du coefficient de couplage

Il est finalement possible de définir l'impédance totale vue par la résistance négative comme étant :

$$Z_{\text{résonateur_indvar}} = Z_{\text{Cswitchées}} // \{Z_{L1'} + [Z_M // (Z_{L2'} + Z_{var})]\} \quad (2.20)$$

Avec

$$Z_{L1'} = r_{L1'} + j \cdot \omega \cdot (L_{L1} - M) \quad (2.21)$$

$$Z_{L2'} = r_{L2'} + j \cdot \omega \cdot (L_{L2} - M) \quad (2.22)$$

$$Z_M = r_M + j \cdot \omega \cdot M \quad (2.23)$$

$$Z_{\text{Cswitchées}} = r_{\text{Cswitchées}} + \frac{1}{j \cdot \omega \cdot C_{\text{Cswitchées}}} \quad (2.24)$$

$$Z_{\text{var}} = r_{\text{var}} + \frac{1}{j \cdot \omega \cdot C_{\text{var}}} \quad (2.25)$$

Une transformation en résistance parallèle équivalente du résonateur permet finalement de pouvoir effectuer une comparaison entre la topologie à inductance variable et une topologie plus classique comprenant un circuit de polarisation pour le varactor (figure 84). La résistance parallèle d'une inductance étant définie par :

$$R_{p_L} = Q_L \cdot \omega \cdot L \quad (2.26)$$

Et la résistance parallèle d'une capacité par :

$$R_{p_C} = \frac{Q_C}{\omega \cdot C} \quad (2.27)$$

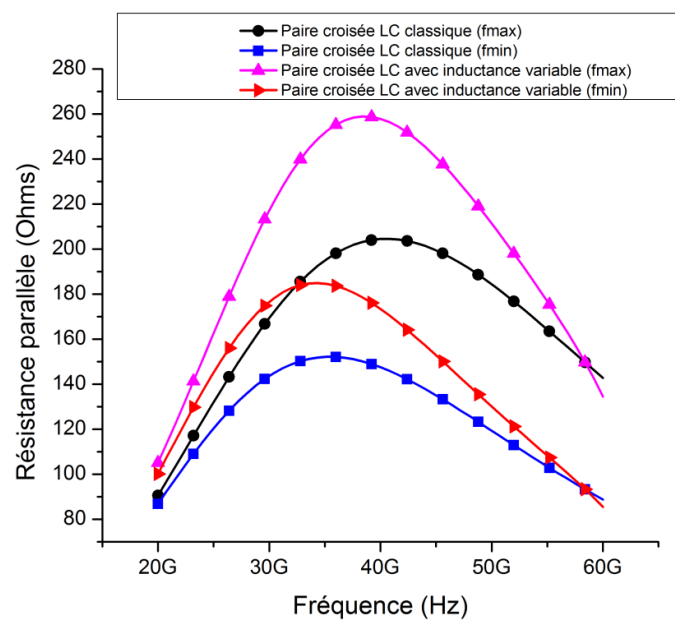


Figure 84 – Résistances parallèles présentées au vue de la paire croisée pour une topologie à inductance variable et une topologie LC paire croisée classique (modèles simplifiés)

La présence d'une résistance parallèle plus élevée dans la topologie à inductance variable justifie son utilisation dans le cadre de la conception d'un oscillateur millimétrique puisqu'elle correspond finalement à l'obtention de meilleur coefficient de qualité pour une inductance ou capacité équivalente. De plus, comme nous le verrons par la suite, d'autres avantages sont offerts par l'utilisation d'une topologie d'oscillateur à inductance variable en particulier en termes de mise en place lors de la conception.

2. Dimensionnement du transformateur

a. Niveau de métaux

Le transformateur utilisé pour réaliser l'inductance variable est un élément qu'il faut réaliser avec soin, puisqu'il conditionne à la fois le KVCO et le facteur de qualité de l'inductance du circuit LC. Une étude a dans un premier temps été menée dans le but de choisir les niveaux de métaux les plus appropriés et d'optimiser leurs dimensionnements. Il est finalement préférable d'utiliser le LB (alucap) pour le côté inductance du circuit LC, et le niveau IB (métallisation 10) pour le côté varactor puisque ces deux niveaux sont peu résistifs et sont relativement éloignés du substrat. De plus, un empilement trop important des niveaux de métallisation engendre une fréquence de résonance trop basse et un apport trop fort en capacités parasites.

b. Largeur et nombre de tours du secondaire

La largeur de la partie secondaire du transformateur et son nombre de tours sont des paramètres ayant une influence directe sur le ratio de transformation et sur les capacités parasites associées au transformateur. Comme nous l'avons vu précédemment, un fort couplage entre le varactor (côté secondaire) et le cœur de l'oscillateur (côté primaire) doit être assuré pour maximiser l'influence du varactor sur le circuit tout en minimisant les pertes. Il est donc préférable d'utiliser des lignes de transmission larges pour les deux côtés du transformateur, tout en réduisant l'empilement des niveaux de métaux pour réduire autant que possible l'effet des capacités parasites.

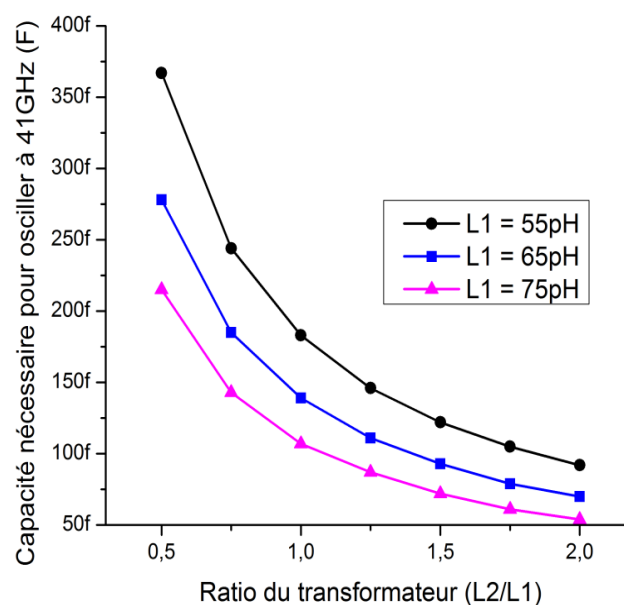


Figure 85 – Capacité nécessaire pour osciller à 41 GHz en fonction du ratio du transformateur ($L2/L1$) et de la valeur des inductances

Comme on peut le voir sur la figure 85, un ratio de transformation $L2/L1$ inférieur à 1 a tendance à minimiser l'impact des capacités situé du côté secondaire, ce qui a pour conséquences indirectes de diminuer le coefficient de qualité du résonateur puisqu'il sera alors nécessaire d'avoir recours à des capacités de fortes valeurs pour osciller à la fréquence désirée. Un ratio de transformation $L2/L1$ supérieur à 1 offre quant-à lui l'avantage de pouvoir utiliser des capacités et un varactor de plus faible valeur pour couvrir toute la bande de fréquence. L'oscillateur sera néanmoins bien plus sensible aux capacités parasites, ce qui aura tendance à réduire la plage de fréquence couverte.

L'utilisation de plusieurs enroulement pour chaque côté du transformateur est une idée difficile à mettre en place lors de la conception d'oscillateur millimétrique. En effet, il convient de conserver une fréquence de résonance haute pour les inductances en minimisant la largeur des lignes sans pour autant totalement dégrader leur coefficient de qualité. Un ratio de transformateur proche de 1 semble finalement être le meilleur compromis pour permettre la réalisation d'oscillateur millimétrique large bande avec un résonateur possédant un bon coefficient de qualité. Dans le cas de notre oscillateur, il semble donc qu'une largeur de ligne de $20\mu\text{m}$ sur le niveau LB (alucap) pour réaliser l'inductance de la partie primaire, et une largeur de $12\mu\text{m}$ sur le niveau IB pour le côté varactor, soient les dimensionnements les plus appropriés pour atteindre de hautes performances.

6. Capacités digitales

1. Structure

a. *Modèles simplifiés de la capacité digitale*

La capacité digitale est une structure composée de 3 éléments : une capacité MOM, un transistor NMOS et une diode. Le cas idéal serait bien entendu d'avoir un switch capable de réaliser un circuit ouvert pour $V_{gs} = 0V$, ou un court-circuit pour $V_{gs} = 1V$, ce qui est évidemment non réalisable aux fréquences millimétriques où les capacités parasites du transistor induisent une mauvaise isolation. Un réel compromis approprié doit être trouvé de manière à garantir de bons coefficients de qualité, de faibles capacités parasites et un Δ_C suffisant pour l'application souhaitée. Δ_C étant l'écart entre la capacité maximale et la capacité minimale vue aux bornes de la capacité digitale.

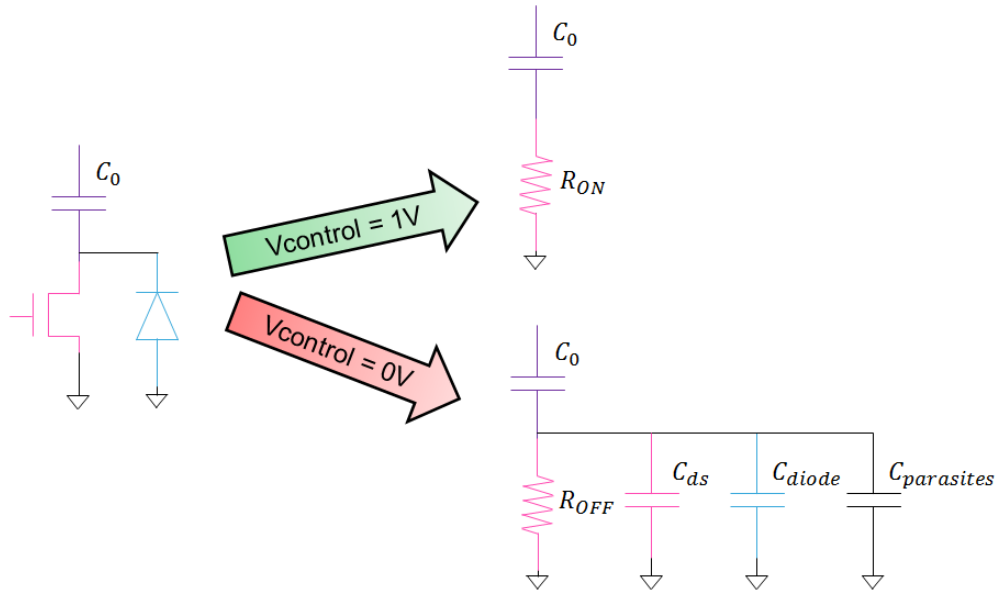


Figure 86 – Modèles simplifiés des états ON et OFF d'une capacité digitale

En considérant le schéma simplifié ci-dessus, on peut aisément distinguer deux modes de fonctionnement. Lorsque $V_{gs} = 0V$, le transistor peut être assimilé à une capacité égale à C_{ds} ce qui revient obtenir une capacité totale C_{min} de faible valeur puisque les capacités mises en jeu ici sont en série. A contrario, lorsque $V_{gs} = 1V$, on peut approximativement considérer que seule la résistance R_{on} est visible. Dans notre cas, il est alors possible d'assimiler la capacité digitale à une capacité MOM dont le coefficient de qualité aurait été quelque peu dégradé, sachant que dans le cas idéal C_{max} sera égale à C_{MOM} .

2. Dimensionnement des capacités digitales

a. Dimensionnement du switch

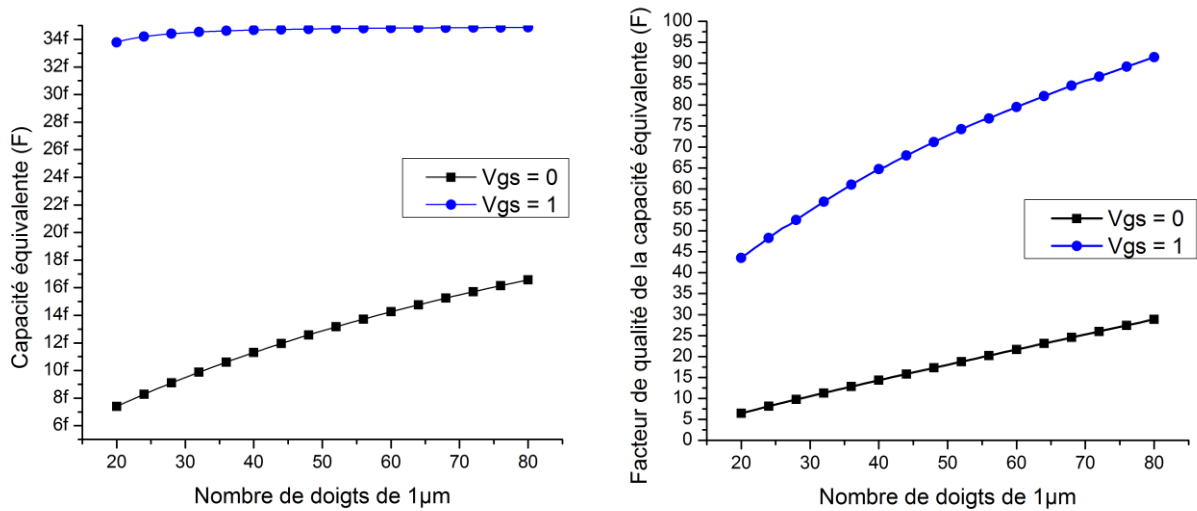


Figure 87 – Capacité et coefficient de qualité de la capacité digitale en fonction du nombre de doigts utilisés dans le switch

Comme on peut le voir sur la figure 87, le dimensionnement du switch de la capacité digitale est conditionné par la capacité de liaison utilisée dans la structure. Un transistor NMOS de grande taille aura tendance à augmenter le coefficient de qualité de la capacité digitale, tandis qu'un NMOS de petite taille favorisera l'écart de capacités Δ_C (à partir d'un R_{on} suffisant) et réduira la valeur des capacités parasites. Bien que possible, l'utilisation de transistors PMOS sera ici proscrite, puisqu'elle provoquerait une augmentation de surface et donc de capacités parasites pour une résistance R_{on} équivalente.

b. Recouvrement

La meilleure façon d'optimiser le recouvrement consiste à concevoir des capacités digitales possédant un ratio C_{max}/C_{min} égal à 2, en doublant le nombre de cellule par rang de capacité ajouté. L'idée est finalement de conserver la même structure de base quel que soit la valeur de la capacité digitale, afin de prévenir d'éventuels problèmes de recouvrement en cas de variation des procédés de fabrication. Les conséquences d'un mauvais recouvrement sont présentées dans la figure 88.

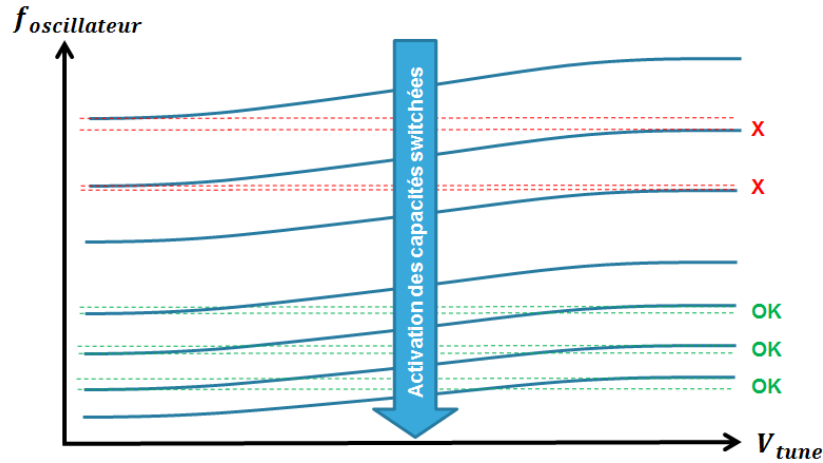


Figure 88 – Exemples de recouvrement et non-recouvrement en fonction d'un KVCO donné

3. Choix des capacités de liaison

a. Capacité MOM

La capacité MOM est un élément que l'on retrouve habituellement au sein d'oscillateur de par sa facilité d'intégration. Elle est composée d'une multitude de doigts interdigités sur divers niveaux de métallisation. La capacité MOM est un élément particulièrement dépendant du back-end de la technologie, tous ses doigts sont situés à une distance minimale les uns des autres ce qui permet d'optimiser la densité de la capacité globale et par la même occasion son coefficient de qualité. Sur la technologie 28 nm FDSOI CMOS 10 niveaux de métaux, les niveaux de métaux utilisés pour les doigts interdigités varient entre les niveaux M1 et M5 ce qui leur permet d'atteindre des densités de capacité supérieure à 5 fF par μm^2 . La largeur des doigts doit être optimisée en fonction du type d'application, sachant qu'une densité de capacité maximale sera atteinte lorsque la largeur des doigts sera minimale mais qu'en contrepartie la variation de tension maximum acceptée à ses bornes sera plus limitée.

Dans le cadre d'une utilisation au sein d'un oscillateur millimétrique, il est préférable d'optimiser les niveaux de métaux utilisés en fonction de la valeur de capacité désirée. On remarquera par exemple dans la figure 89 que, dans le cas d'une valeur de capacité de 34 fF, il est préférable d'utiliser les niveaux de métaux M3, M4 et M5, puisque ce sont pour ces niveaux de métaux que le facteur de qualité est optimum à 40 GHz.

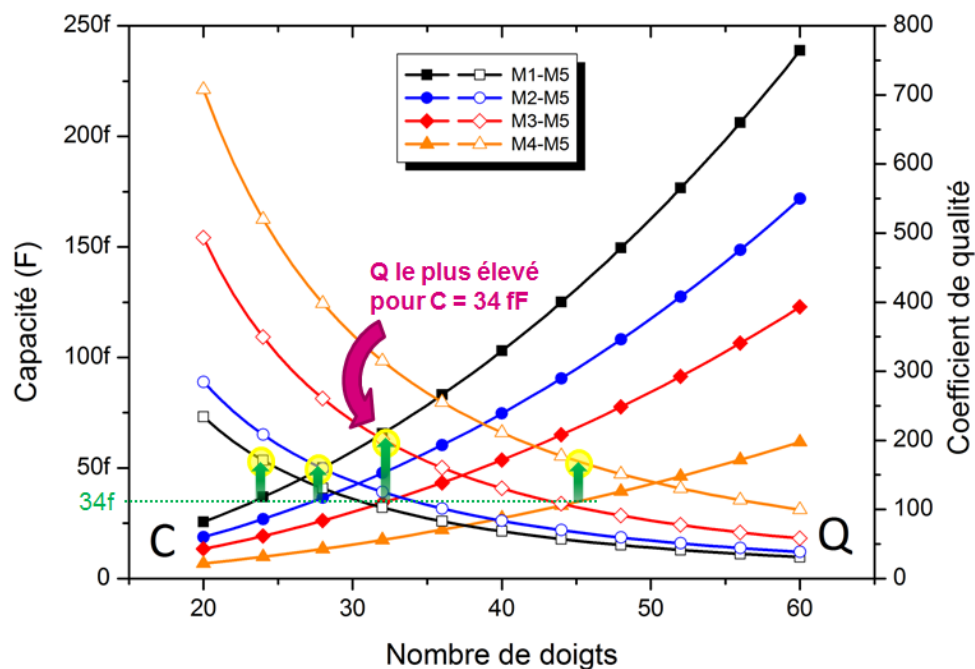
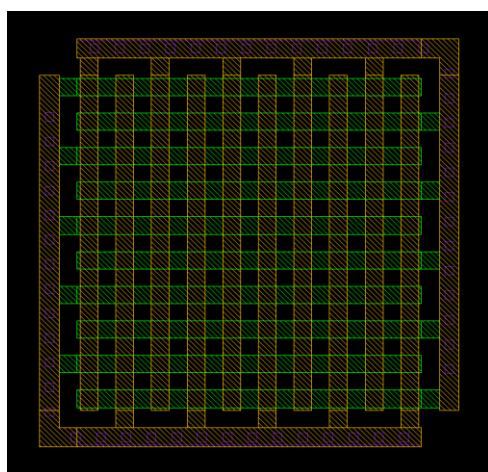
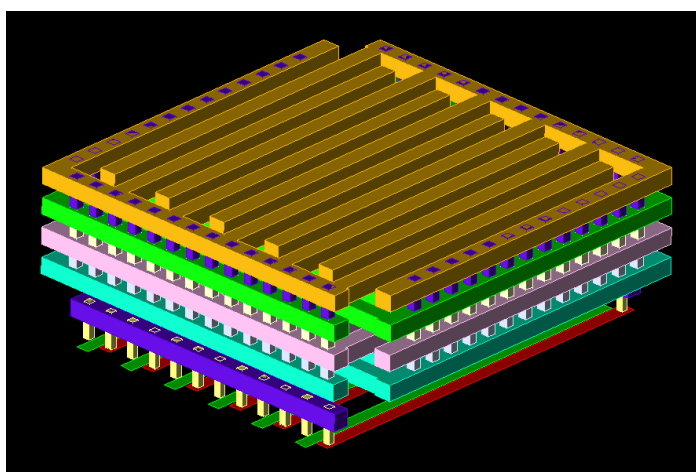


Figure 89 – Coefficient de qualité et valeur de la capacité MOM en fonction du nombre de doigts et des niveaux de métallisation utilisés

La figure 89 permet aussi de mettre en évidence le compromis facteur de « qualité – encombrement », sachant que la largeur d'un doigt dans le cadre de cette étude est de $0.2\mu\text{m}$. Nous verrons par la suite que la surface occupée par les capacités MOM joue un rôle très important quant au recouvrement des fréquences de fonctionnement de l'oscillateur. Un aperçu de la conception des capacités MOM est visible figure 90.



(a)



(b)

Figure 90 – Capacité MOM – vue de dessus (a) et vue 3D (b)

b. Capacité MIM

La capacité MIM est une capacité de type verticale située juste en dessous du niveau de métallisation le plus haut (IB dans le cadre de la technologie 28 FDSOI CMOS). Comme on peut le voir sur la figure 91, deux niveaux de métallisation intermédiaires, compris entre les niveaux de métaux IA et IB, sont ajoutés lors de la fabrication du Back-end pour permettre la réalisation d'une capacité possédant une très faible épaisseur de diélectrique. Il est ainsi possible d'obtenir des capacités possédant de très bons coefficients de qualité, occupant une surface relativement faible. De plus l'emplacement haut des capacités MIM offre une importante réduction des capacités parasites, ce qui rend leurs utilisations très utiles pour les oscillateurs fonctionnant à hautes fréquences.

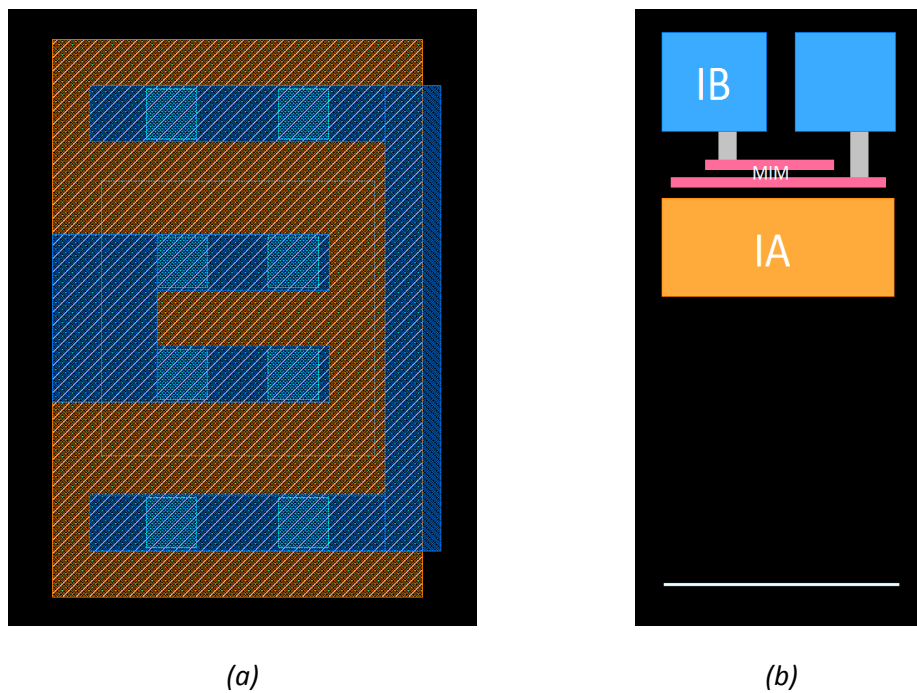


Figure 91 – Capacité MIM – vue de dessus (a) et vue en coupe (b)

Malgré tous ces avantages, il est important de noter que l'intégration de ce type de structure au sein d'un circuit nécessite l'utilisation d'une option supplémentaire payante, c'est pourquoi nous avons décidé de nous affranchir de son utilisation au sein de la PLL WiFi-WiGig.

4. Conception

a. *Élément seul*

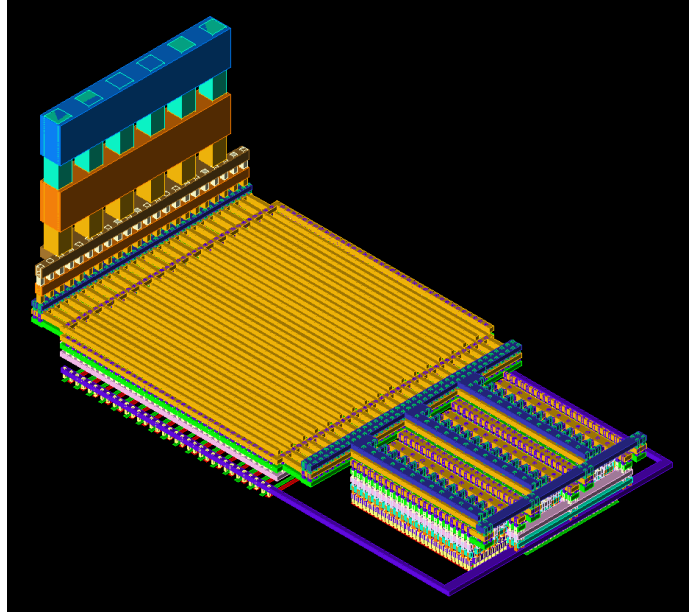


Figure 92 – Vue 3D d'une capacité digitale

La structure de base des capacités digitales nécessite un travail d'optimisation en termes de surface occupée et en termes de réductions des capacités parasites. Un léger surdimensionnement du ratio C_{max} / C_{min} permet d'anticiper l'apparition de capacités parasites lors du routage du transistor. Il est évident que les structures de capacités digitales de faibles valeurs seront plus sensibles aux capacités parasites engendrées par le routage du transistor d'où la difficulté de concevoir un oscillateur à faible gain (KVCO).

b. *Mise en place dans un oscillateur*

Afin que l'oscillateur puisse couvrir toute la plage de fréquence spécifiée, il est nécessaire d'utiliser plusieurs capacités digitales que l'on appellera « banque de capacités digitales ». Bien qu'il soit possible d'utiliser différentes structures de capacités digitales, il est préférable de dupliquer plusieurs fois la même cellule unitaire, afin de mieux prévenir les disparités liées aux variations de process lors de la fabrication du circuit. La cellule unitaire doit recouvrir une plage d'oscillation plus faible que celle donnée par le varactor (autrement dit son KVCO) afin d'assurer un bon recouvrement de toutes les fréquences.

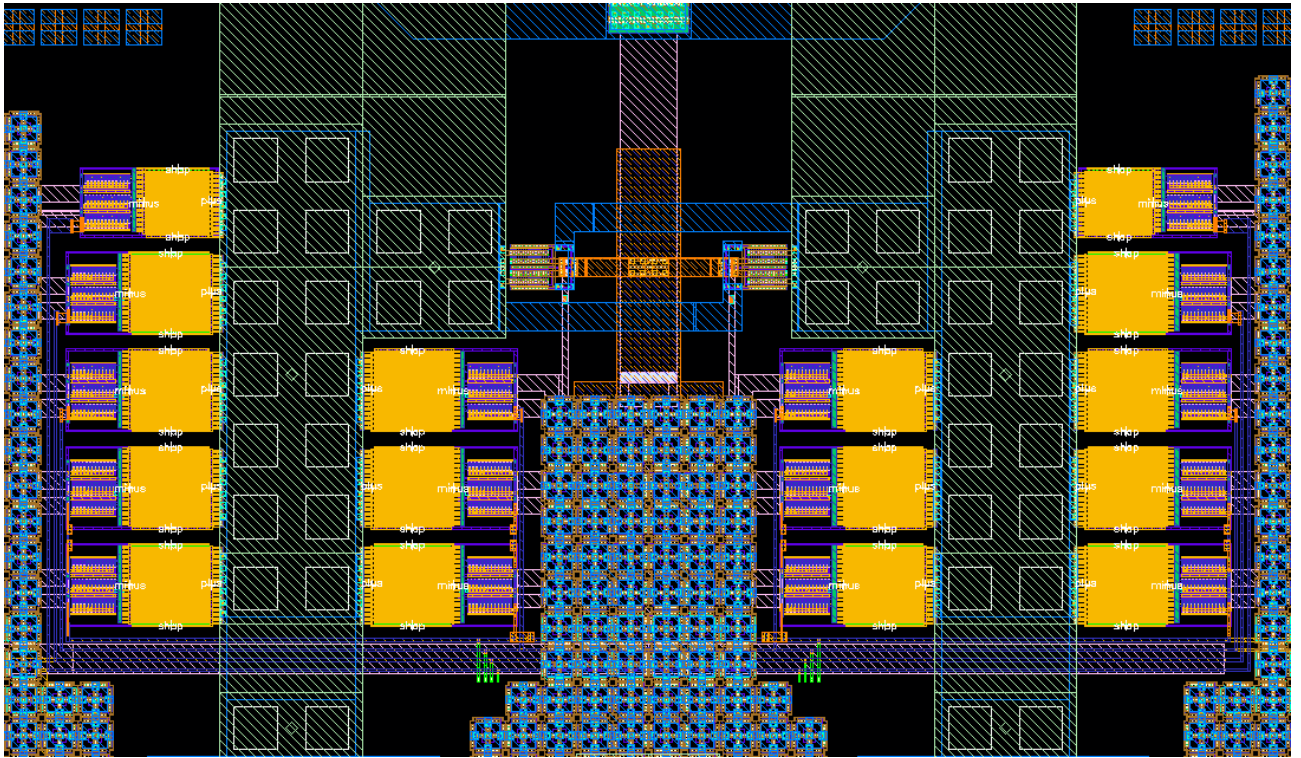


Figure 93 – Intégration d’une banque de capacités digitales

Bien que les capacités digitales permettent la conception d’oscillateurs larges bandes, il convient de ne pas négliger divers phénomènes liés à leur utilisation. Tout d’abord, il est important de prendre en compte le fait que chaque capacité digitale ajoutée au sein de l’oscillateur diminue la valeur de la résistance parallèle présentée en regard de la résistance négative. Cet impact pouvant être assimilé à une dégradation du coefficient de qualité du circuit LC, a finalement pour conséquence une dégradation du bruit de phase et un accroissement de la consommation au sein de l’oscillateur. Ensuite, dans le cas de la conception millimétrique, il convient de ne pas négliger les pertes résistives et l’effet inductifs des lignes d’accès aux capacités digitales, présentés sur la figure 94. Non seulement, de par la dégradation du coefficient de qualité, mais aussi de par le risque de non-recouvrement engendré par la modification de la valeur capacitive réelle des capacités digitales les plus éloignées.

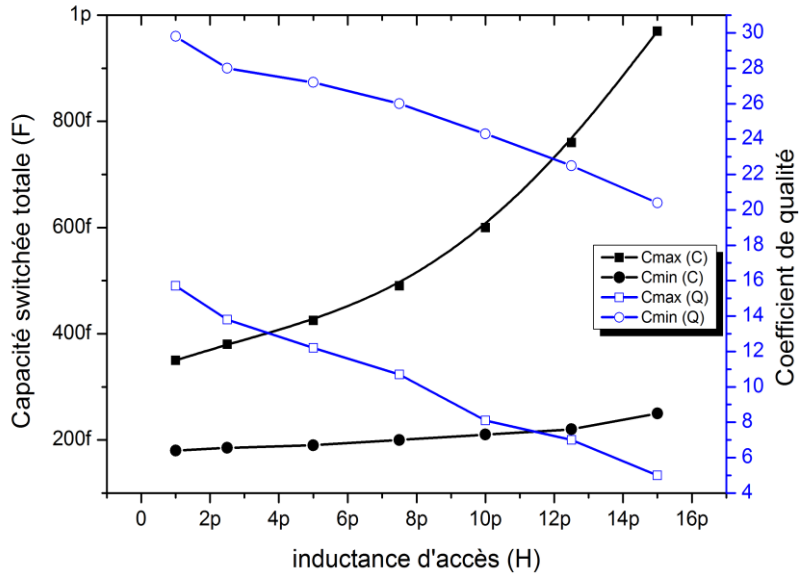


Figure 94 – Influence de l'inductance d'accès présente entre chaque capacités digitales sur la valeur de capacité digitale totale et le coefficient de qualité (capacités digitales de 34fF)

Il est donc conseillé de minimiser les effets inductifs et résistifs des accès aux capacités digitales, afin réduire autant que possible l'impact de ces lignes sur le coefficient de qualité du résonateur mais aussi sur la fréquence de fonctionnement de l'oscillateur. Cette dernière étant donnée par :

$$f_{oscillation} = \frac{1}{2 \cdot \pi \cdot \sqrt{L \cdot (C_{varactor} + C_{switchées} + C_{parasites})}} \quad (2.28)$$

$$f_{oscillation_min} = \frac{1}{2 \cdot \pi \cdot \sqrt{L \cdot (C_{varactor_max} + C_{swc_unit_max} \cdot N_{swc_unit} \cdot K_{swc_access} + C_{parasites})}} \quad (2.29)$$

$$f_{oscillation_max} = \frac{1}{2 \cdot \pi \cdot \sqrt{L \cdot (C_{varactor_min} + C_{swc_unit_min} \cdot N_{swc_unit} \cdot K_{swc_access} + C_{parasites})}} \quad (2.30)$$

Avec :

$C_{varactor_min}$ et $C_{varactor_max}$ les capacités minimum et maximum du varactor.

$C_{swc_unit_min}$ et $C_{swc_unit_max}$ les capacités minimum et maximum des cellules unitaires de capacités digitales.

N_{swc_unit} le nombre de cellules unitaires de capacités digitales utilisées dans la structure de l'oscillateur.

K_{swc_access} le coefficient d'accès des capacités digitales, supérieur à 1, proportionnelle aux nombre de capacités digitales utilisées et à la partie inductive des lignes d'accès.

$C_{parasites}$ l'ensemble des capacités parasites de l'oscillateur dont celles engendrées par la paire croisée NMOS.

Afin de pouvoir estimer de manière plus précise les effets des lignes d'accès, il est aussi possible de modéliser l'ensemble des capacités digitales (égale à $C_{swc_unit} \cdot N_{swc_unit} \cdot K_{swc_access}$) par le schéma équivalent suivant :

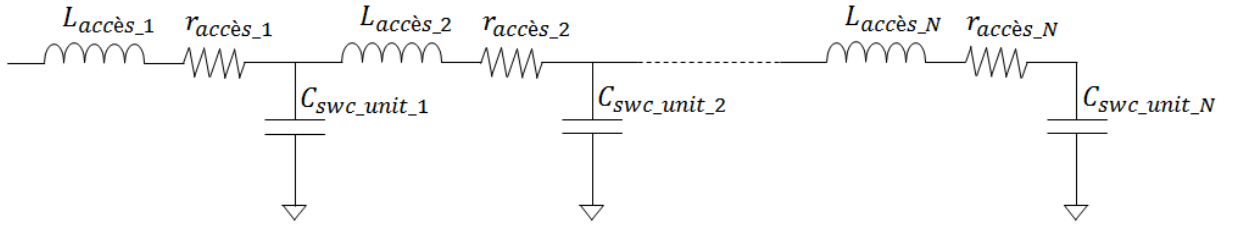


Figure 95 – Modélisation de l'ensemble des capacités digitales avec prise en compte des lignes d'accès

Ce qui revient à considérer l'impédance totale de l'ensemble des capacités digitales comme étant :

$$Z_{Cswitchées} = Z_{accès_1} + \frac{1}{\frac{1}{Z_{swc_unit_1}} + \frac{1}{\frac{1}{Z_{accès_2}} + \frac{1}{\frac{1}{Z_{swc_unit_2}} + \frac{1}{\frac{1}{\dots} + \frac{1}{\frac{1}{Z_{accès_N}} + \frac{1}{Z_{swc_unit_N}}}}}}}$$

Avec : (2.31)

$Z_{accès}$ l'impédance d'accès de la capacité digitale composée $L_{accès_1}$ et $r_{accès}$.

Z_{swc_unit} l'impédance d'une cellule unitaire de capacité digitale.

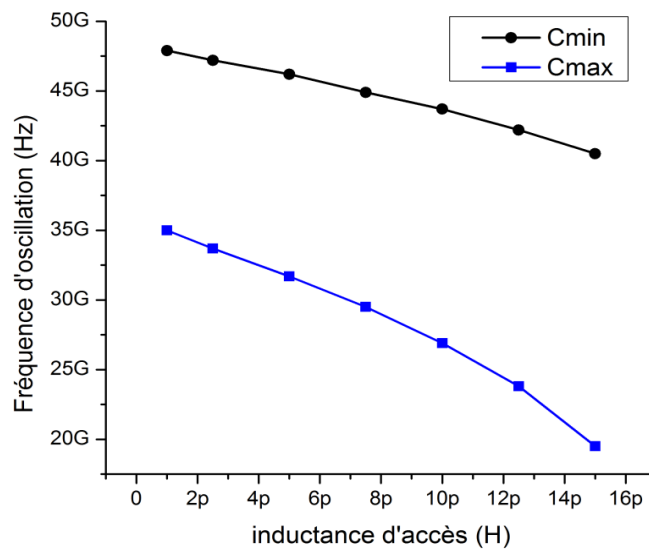
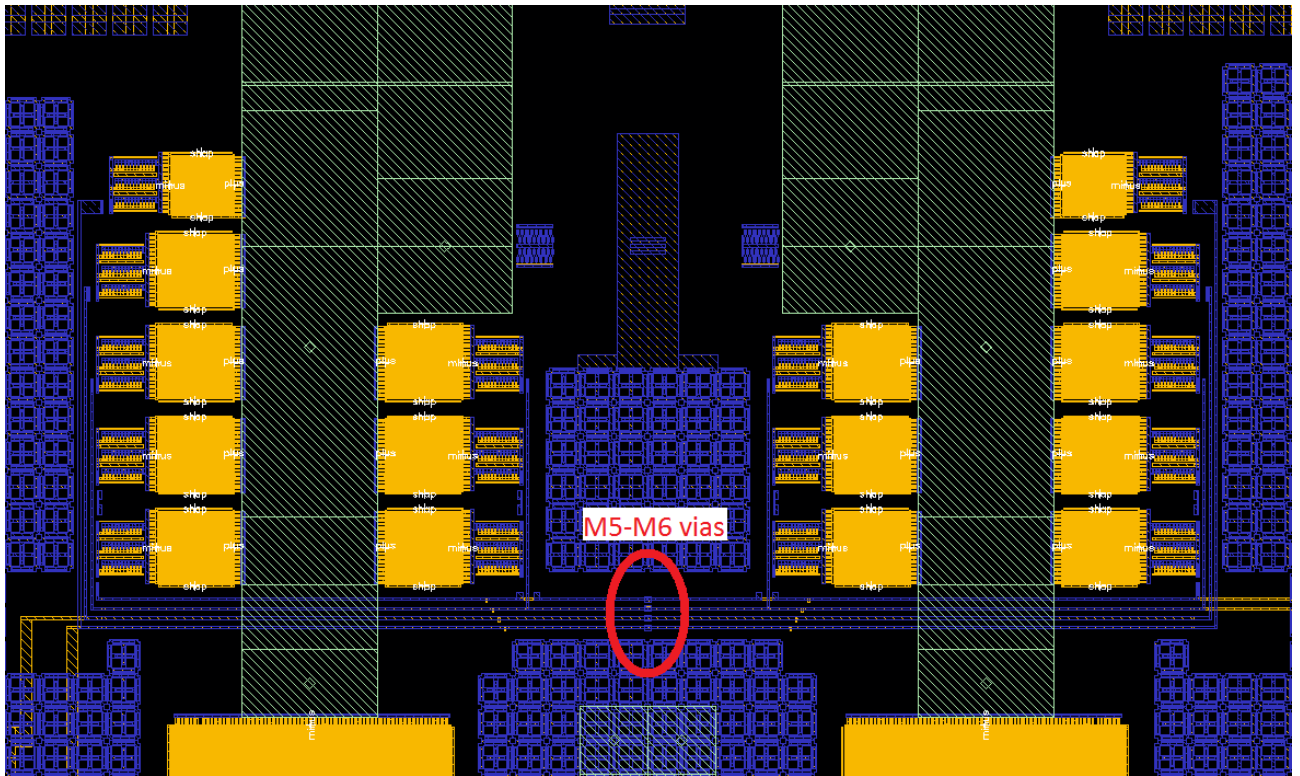
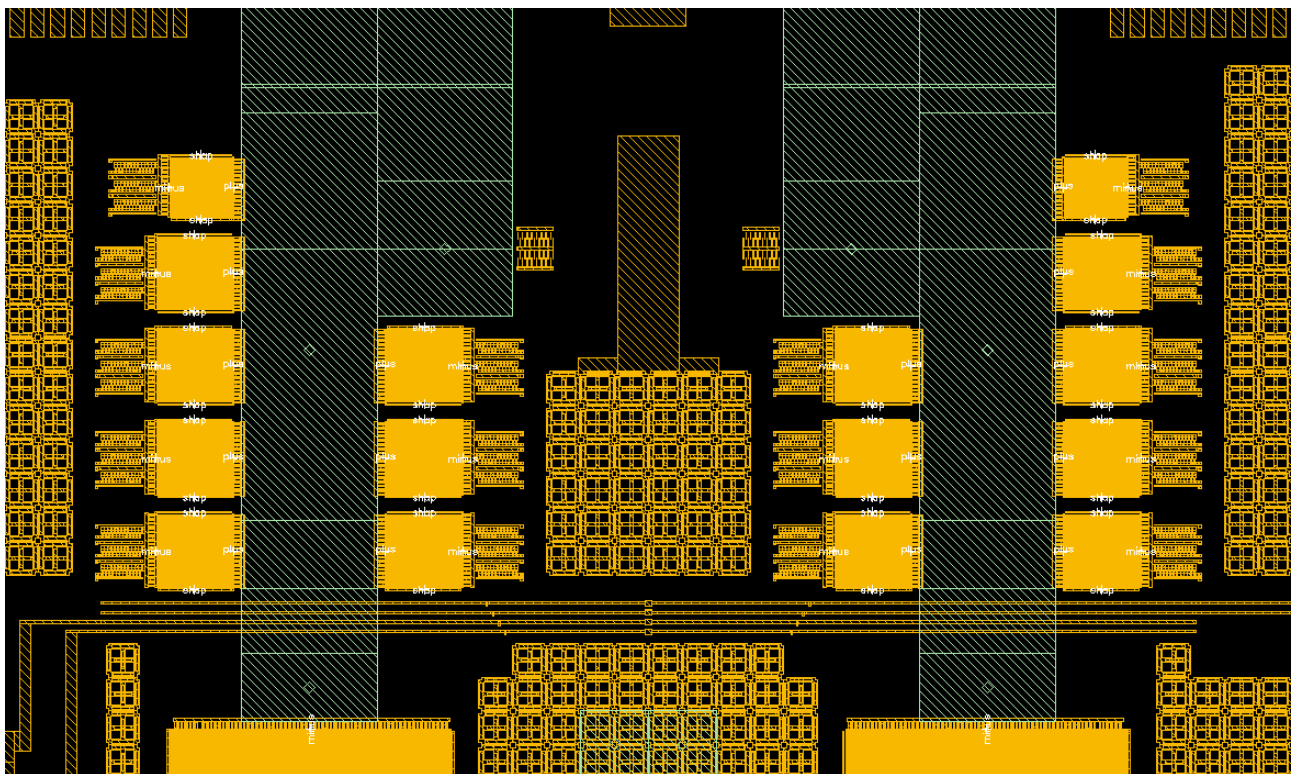


Figure 96 – Influence de l'inductance d'accès présente entre chaque capacités digitales sur la fréquence d'oscillation (capacités digitales de 34fF)

Finalement, pour les capacités digitales utilisées (dans notre cas 34 fF), on remarquera sur la figure 96 qu'une longueur d'accès supérieure à 10 μ m aura pour effet un décalage de la fréquence minimum compris entre 5 et 10 % par rapport à la fréquence escomptée, ce qui engendrera donc un mauvais recouvrement des capacités digitales. Le seul moyen de corriger cette erreur de recouvrement est d'augmenter la dynamique du varactor, ce qui a de nombreuses limitations comme nous l'avons vu auparavant. Les capacités parasites ajoutées par les lignes d'accès des capacités digitales n'ont pas été prises en compte dans la simulation précédente mais elles peuvent très rapidement atteindre la dizaine de femto Farads. De manière générale on essayera donc de limiter au maximum la longueur des accès aux capacités digitales, tout en assurant une parfaite symétrie de la structure de l'oscillateur. Il est très important d'assurer un retour de masse possédant une faible résistivité et peu d'effet inductif, puisque chacun de ces effets indésirables pourrait engendrer une dégradation des coefficients de qualités des capacités digitales. Une extension du plan de masse sur 10 niveaux de métaux, visible sur la figure 93, a donc été effectuée en direction du centre de l'inductance pour connecter les capacités digitales centrales. Une symétrisation des connexions des tensions de contrôle des capacités digitales est utilisée pour éviter toute disparité entre les deux côtés du VCO. Ainsi sur les figures 97 (a) et (b), On peut ainsi détecter la présence de trous métallisés (aussi appelés « vias ») entre les niveaux M5 et M6 situés à égale distance des deux côtés de l'inductance, permettant la connexions entre le niveau M5 (utilisé pour les tensions de contrôle) et le niveau M6 (utilisé pour relier les capacités digitales entre elles).



(a)



(b)

Figure 97 – Symétrie des tensions de contrôle des capacités digitales – Aperçu des niveaux M5-M6 (a) et M5 (b)

7. Miroir de courant

1. Choix du type de structure

a. Miroir de courant NMOS

Les miroirs de courant de type NMOS sont des structures que l'on retrouve assez fréquemment dans la littérature (figure 98). Le principal avantage de l'utilisation des transistors NMOS est le gain en surface relatif par rapport aux transistors PMOS dans les mêmes conditions de polarisation, essentiellement due à une plus grande mobilité des porteurs de charge.

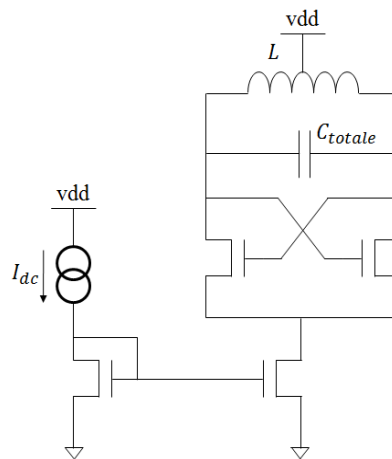


Figure 98 – Intégration d'un miroir de courant NMOS au sein d'un oscillateur LC paire croisée

b. Miroir de courant PMOS

Comme évoqué dans [KENNETH 2002], les miroirs de courant PMOS (figure 46) ont l'avantage de présenter un bruit de scintillement bien plus bas que celui des miroirs de courant NMOS. Ceci pouvant s'expliquer par la nature des transistors NMOS et PMOS. En effet, sous la grille d'un MOS le tunnel enterré formé lors de la polarisation d'un transistor PMOS est plus éloigné de la grille que le tunnel de surface formé par le transistor NMOS, ce qui indique que les porteurs de charge traversant ce dernier ont une probabilité plus importante d'être capté par l'oxyde en surface.

Le bruit de scintillement dans un transistor MOS peut être défini par l'expression suivante, également retrouvée dans [RAZAVI 2000] :

$$\overline{V_n^2} = \frac{K}{C_{ox} \cdot W \cdot L} \cdot \frac{1}{f} \quad (2.32)$$

K étant une constante dépendante du process, de l'ordre de $10^{-25} \text{ V}^2\text{F}$, C_{ox} la capacité de l'oxyde de grille par unité de surface, W et L respectivement la largeur et la longueur de grille. Une importante longueur de grille fait donc partie des éléments prépondérants pour obtenir de bonnes performances en termes de bruit de phase pour l'oscillateur [EMIRA 2002] [LEE 2006]. Il est cependant nécessaire de nuancer l'importance de ce dimensionnement, sous peine de voir apparaître un bruit thermique trop important qui dégraderait le bruit de phase, en plus d'avoir un miroir de courant occupant une surface considérable. Ce bruit thermique apparaissant dans le canal formé sous la grille est évoqué dans [CHANG 1991], et peut être approximé par :

$$\overline{i_d^2} = 4 \cdot k \cdot T \cdot \frac{2}{3} \cdot \mu \cdot C_{ox} \cdot \frac{W}{L} \cdot (V_{gs} - V_T) = 4 \cdot k \cdot T \cdot \frac{2}{3} \cdot \mu \cdot g_m \quad (2.33)$$

k étant la constante de Boltzman, T la température absolue, μ la mobilité des porteurs de charge en $\text{cm}^2 \cdot \text{V}^{-1} \cdot \text{s}^{-1}$ et g_m la transconductance en siemens ($\text{A} \cdot \text{V}^{-1}$).

b. Polarisation du body

Comme expliqué précédemment, il est possible en 28 nm FDSOI CMOS de réaliser une modification de la tension de seuil du transistor via la polarisation de la prise body. Sachant que le V_{ds_sat} est directement proportionnel à la tension de seuil V_{th} , on en déduit qu'il est possible de pouvoir adoucir les contraintes de tailles liées au MOS en appliquant une tension adéquate suivant le type de MOS choisi. Ainsi, comme cela est illustré sur la figure 101, il devient avantageux en terme de surface de connecter à la masse le body des deux transistors d'un miroir de courant PMOS.

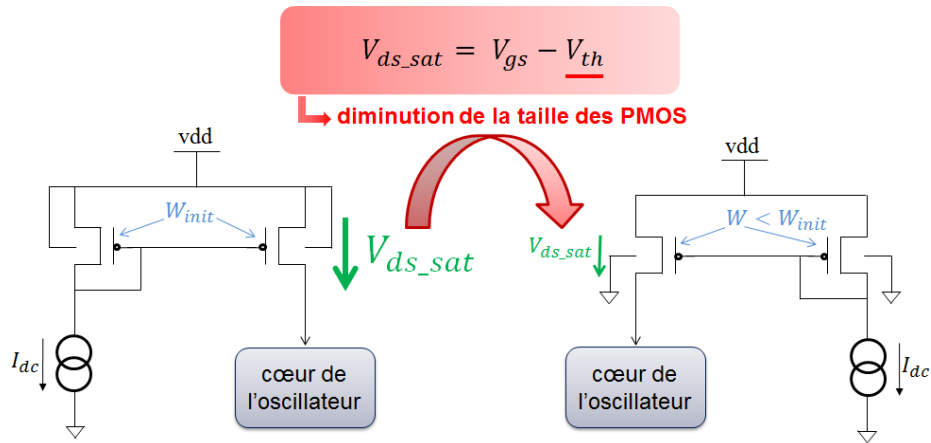


Figure 101 – Effet de la polarisation du body pour un miroir de courant PMOS

3. Conception

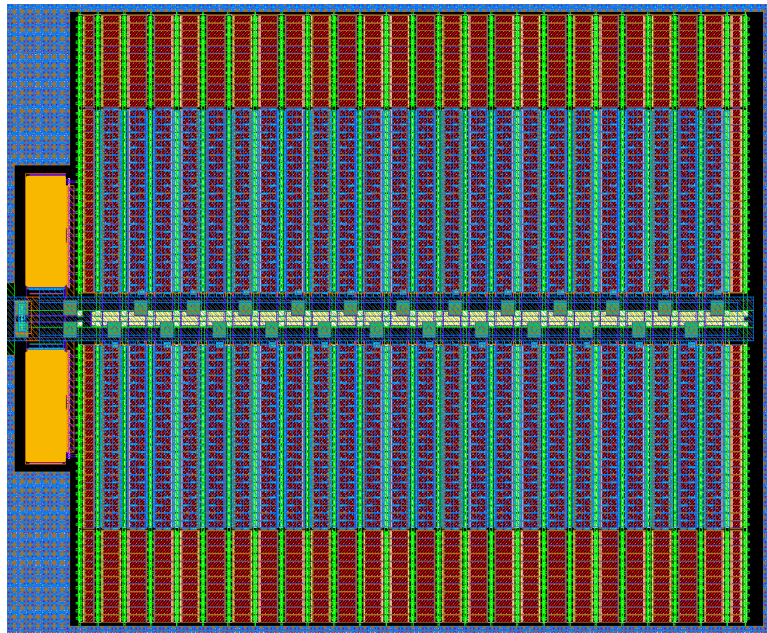


Figure 102 – Structure matricielle du miroir de courant PMOS

Une approche matricielle a été appliquée lors de la conception du miroir de courant. En effet, comme on peut le voir sur la figure 103, les miroirs de courant de chaque transistor sont placés en quinconce ce qui permet d'assurer un bon équilibrage quel que soit les variations de dopage qui pourraient survenir lors de la fabrication du circuit.

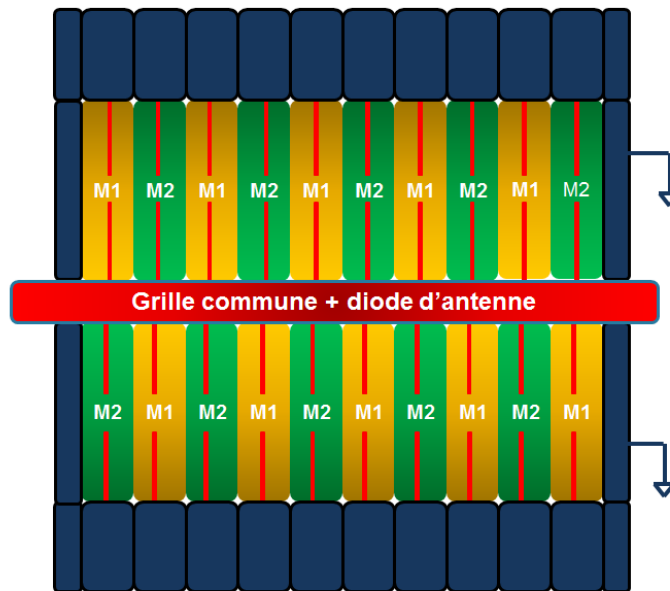


Figure 103 – Structure matricielle du miroir de courant

Des transistors PMOS, dont toutes les prises ont été connectées à la masse, ont été placés tout autour du miroir de courant, de manière à protéger la structure contre les effets de bords. Il est ainsi possible de minimiser les variabilités entre les transistors quel que soient leurs emplacements. Tous ces éléments doivent finalement permettre une bonne recopie du courant de la source DC externe.

8. Amplificateur de sortie

1. Topologies utilisable à 40 GHz

a. Structure à sortie unique

Le rôle de l'amplificateur de sortie est généralement double dans le cadre d'un oscillateur. Il doit tout d'abord isoler ce dernier de l'impédance du circuit de charge afin de ne pas le perturber. Puis, dans un second temps, l'amplificateur de sortie doit être capable d'amplifier le signal, afin d'obtenir une dynamique en tension suffisante pour le circuit suivant.

D'importantes contraintes s'appliquent sur les amplificateurs de sortie dans le cadre des oscillateurs millimétriques. La première contrainte étant la consommation, et la seconde l'influence des capacités parasites sur le cœur de l'oscillateur. Concernant la contrainte liée à la consommation il convient de choisir une structure optimisée en gain, amplifiant suffisamment le signal pour que le circuit situé en sortie de l'oscillateur fonctionne correctement. La réduction des capacités parasites s'effectue en utilisant des éléments de petites dimensions avec des accès relativement courts en entrée de l'amplificateur de sortie.

Un amplificateur de sortie composé d'une série de portes inverseuses correspond à un bon compromis concernant les contraintes évoquées précédemment [WAN 2006]. L'utilisation de ce type de structure est très dépendante de la technologie lorsque l'on se situe aux fréquences millimétriques, puisque le temps de basculement de chaque porte inverseuse est directement lié à son amplitude en tension en sortie. La technologie 28 nm FDSOI CMOS offre d'intéressantes perspectives pour l'utilisation de portes inverseuses dans un amplificateur de sortie puisqu'il est possible de concevoir des portes logiques optimisées en vitesse, via les techniques de polarisation du body. Ainsi, pour améliorer la vitesse de basculement des portes inverseuses dans le cadre de notre amplificateur de sortie, les tensions de seuil des transistors ont été rapprochées de 0 V en polarisant le body des transistors PMOS à la masse, et en polarisant celui des transistors NMOS sur vdd. On notera qu'il serait tout à fait possible de polariser le body des NMOS à 3V et le body des PMOS à -0.3V, ce qui permettrait de rendre la vitesse de basculement des portes inverseuses encore plus grande. Cependant, ces tensions de polarisation n'ont pas été utilisées au sein du circuit envoyé en fabrication afin d'uniformiser les tensions utilisées dans l'ensemble de la PLL.

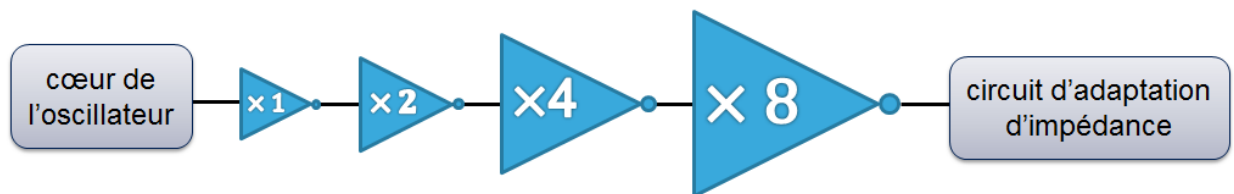


Figure 104 – Dimensionnement des portes inverseuses composant un amplificateur de sortie

Comme on peut le voir sur la figure 104, les portes inverseuses doivent être de plus en plus grande au fur et à mesure que l'on s'éloigne du cœur de l'oscillateur afin d'assurer un gain suffisant en sortie tout en minimisant au maximum l'influence du premier étage sur le fonctionnement de l'oscillateur. Un ratio de 2:1 semble être un bon compromis pour permettre, dans des conditions de gain en sortie acceptable, une limitation du nombre d'étage, tout en s'assurant que les capacités parasites des MOS soient suffisamment petites pour être driver par l'étage précédent [MAXIM 2006].

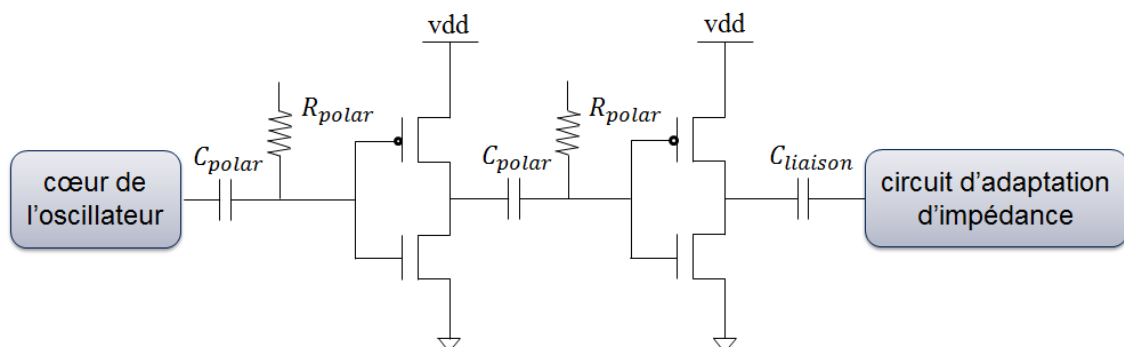


Figure 105 – Amplificateur de sortie sur deux étages avec circuit de polarisation RC

Il est important de bien dimensionner les différents étages de l'amplificateur de sortie de manière à s'assurer que la tension continue en entrée de chaque étage est bien de $v_{dd}/2$. Une première méthode, visible sur la figure 105, pourrait consister à appliquer un circuit de polarisation en entrée de chaque étage mais ce type d'implémentation s'avère être compliqué lors de l'intégration, ajoutant une importante quantité de capacités parasites.

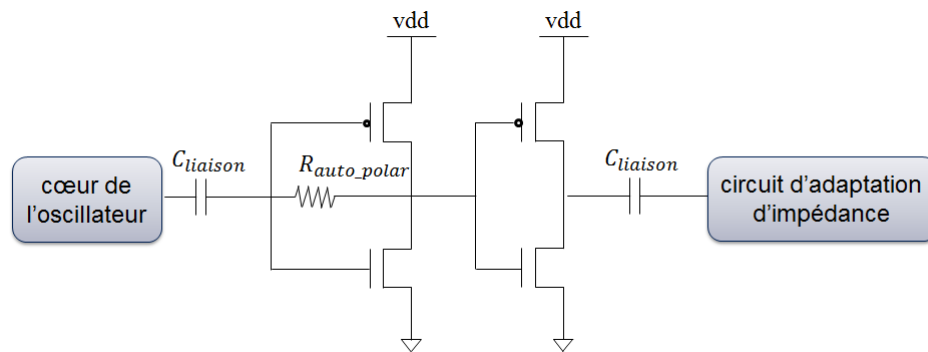
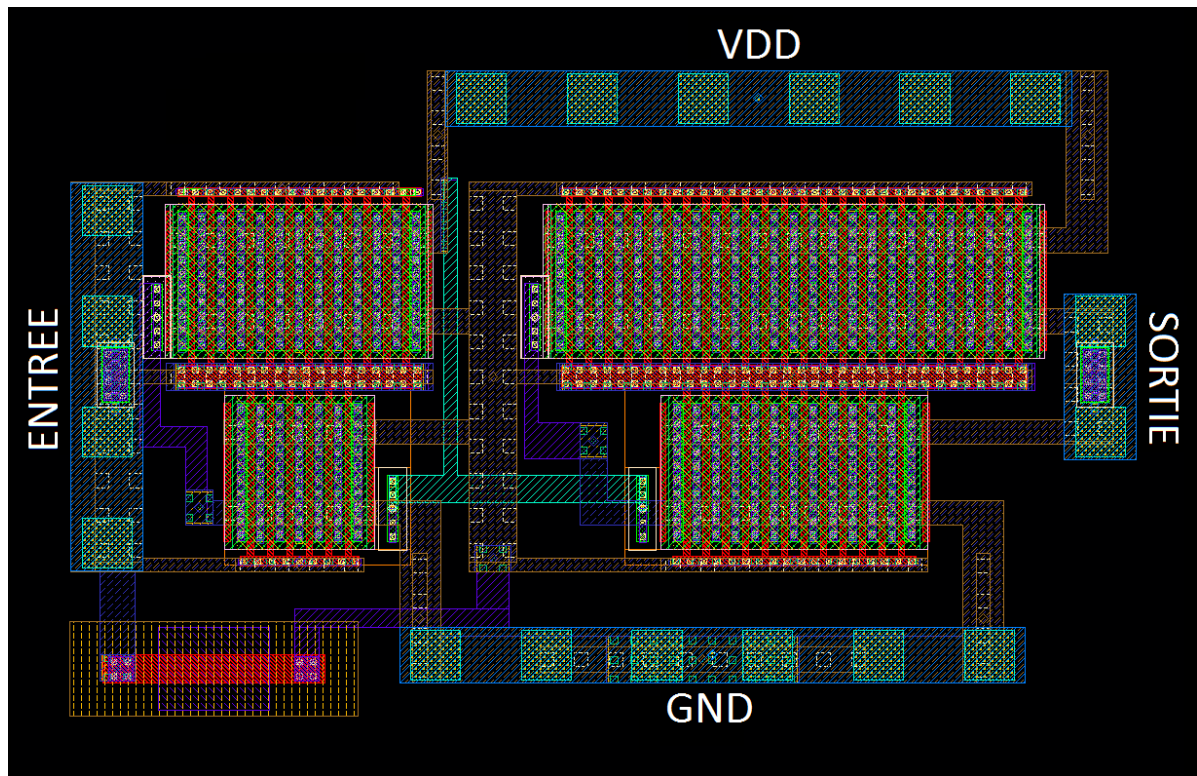


Figure 106 – Amplificateur de sortie sur deux étages comprenant une résistance d'auto-polarisation

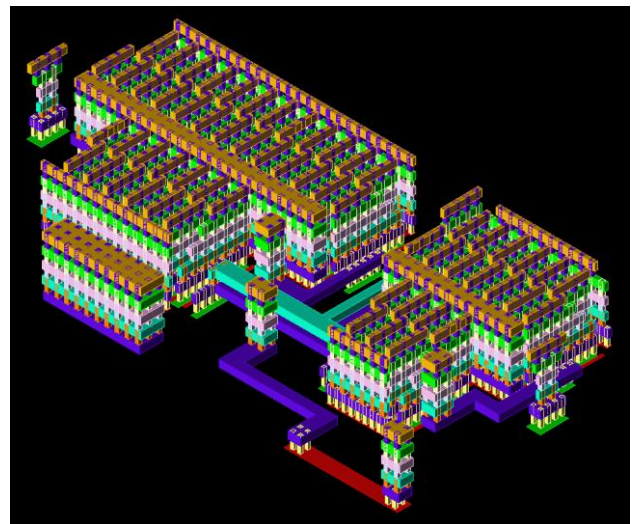
Finalement, comme le montre la figure 106, la solution trouvée a été d'ajuster au mieux l'équilibrage PMOS-NMOS pour chaque porte inverseuse, tout en rajoutant une résistance en parallèle du premier étage pour assurer une auto polarisation. Il convient de dimensionner le premier étage avec précaution pour d'éventuel problème d'auto-oscillation.



(a)



(b)



(c)

Figure 107 – Layout de l'amplificateur de sortie – Vue de dessus (a), vue 3D (b), vue 3D sans les niveaux supérieurs (c)

Nous verrons par la suite que le dernier étage de l'amplificateur de sortie a un rôle prépondérant lors de la mise en place d'un circuit d'adaptation.

b. Structure différentielle

Il est tout à fait possible d'utiliser une structure différentielle composée uniquement de transistors NMOS et de résistances pour réaliser l'amplificateur de sortie. Cette topologie, visible figure 108, ne nécessite pas l'utilisation de circuit de polarisation particulier puisque la grille des transistors NMOS M1 et M2 est directement reliée au cœur de l'oscillateur. Il est ainsi possible de s'affranchir d'importantes capacités de liaisons ce qui offre dans un premier temps d'intéressantes perspectives en termes d'intégration et de réduction de capacités parasites. La réduction de la sensibilité aux variations d'alimentation donnée par la topologie différentielle constitue un avantage quant à une future intégration de l'oscillateur au sein du circuit complet.

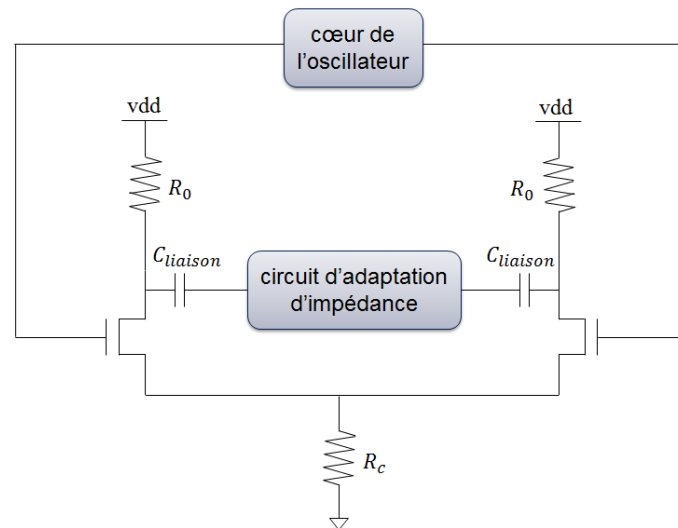


Figure 108 – Amplificateur de sortie différentiel

L'un des principaux inconvénients de cette topologie réside dans le fait qu'il est nécessaire d'avoir des transistors NMOS de tailles importantes lorsque l'on souhaite obtenir une puissance relativement élevée ce qui implique un important ajout de capacités parasites sur le cœur de l'oscillateur. Une consommation légèrement supérieure sera nécessaire pour effectuer une amplification équivalente à une structure CMOS, du fait de l'absence de transconductance PMOS. Comme cela a été discuté précédemment lors de la mise en place du miroir de courant, on notera qu'il est aussi préférable d'envisager l'utilisation d'une structure matricielle pour la disposition des résistances dans le but de réduire autant que possible l'influence des variabilités existantes lors de leurs fabrications. Finalement quel que soit la structure, à sortie unique ou bien différentielle, il est impératif d'inclure les amplificateurs de sortie le plus tôt possible dans les simulations de l'oscillateur puisqu'ils peuvent avoir un très fort impact sur son fonctionnement aux fréquences millimétriques.

2. Circuit d'adaptation

a. Adaptation via l'abaque de Smith

Un circuit d'adaptation a été placé en sortie de l'amplificateur de sortie. Il est composé d'une inductance en série L_{adapt} et d'une capacité en parallèle C_{adapt} qui permettent, comme on peut le voir sur l'abaque de la figure 109, de pouvoir faire varier l'impédance vue en sortie du circuit afin d'effectuer des séries de mesures sous $50\ \Omega$.

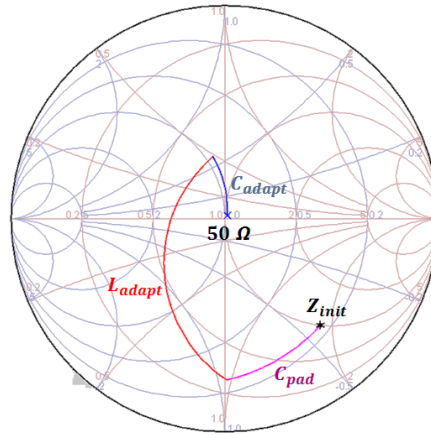


Figure 109 – Effet des différents éléments du circuit d'adaptation sur l'impédance de sortie

Les principales contraintes du circuit d'adaptation, visible figure 110, sont directement liées à la capacité parasite des pads C_{pad} et aux transconductances des deux transistors du dernier étage de l'amplificateur de sortie. C'est pourquoi il est important d'optimiser leur conception afin de pouvoir faciliter l'intégration d'un circuit d'adaptation large bande.

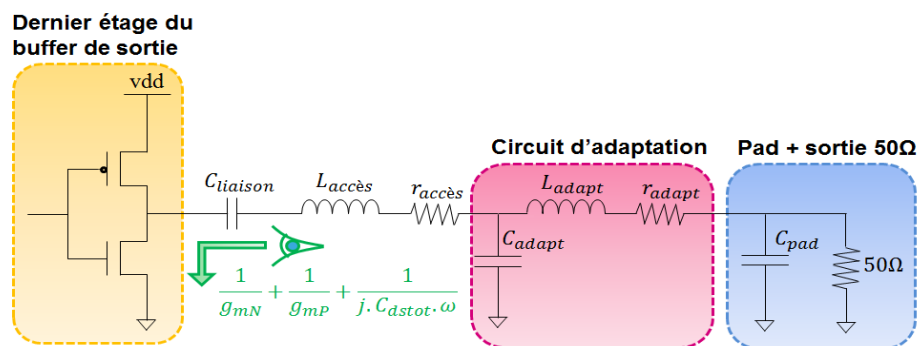


Figure 110 – Modélisation du circuit de polarisation

Un circuit d'adaptation bien réalisé minimisera les pertes réfléchies au niveau des pads, et améliorera donc le rendement du signal fourni par l'oscillateur à l'appareil de mesure.

b. Implémentation

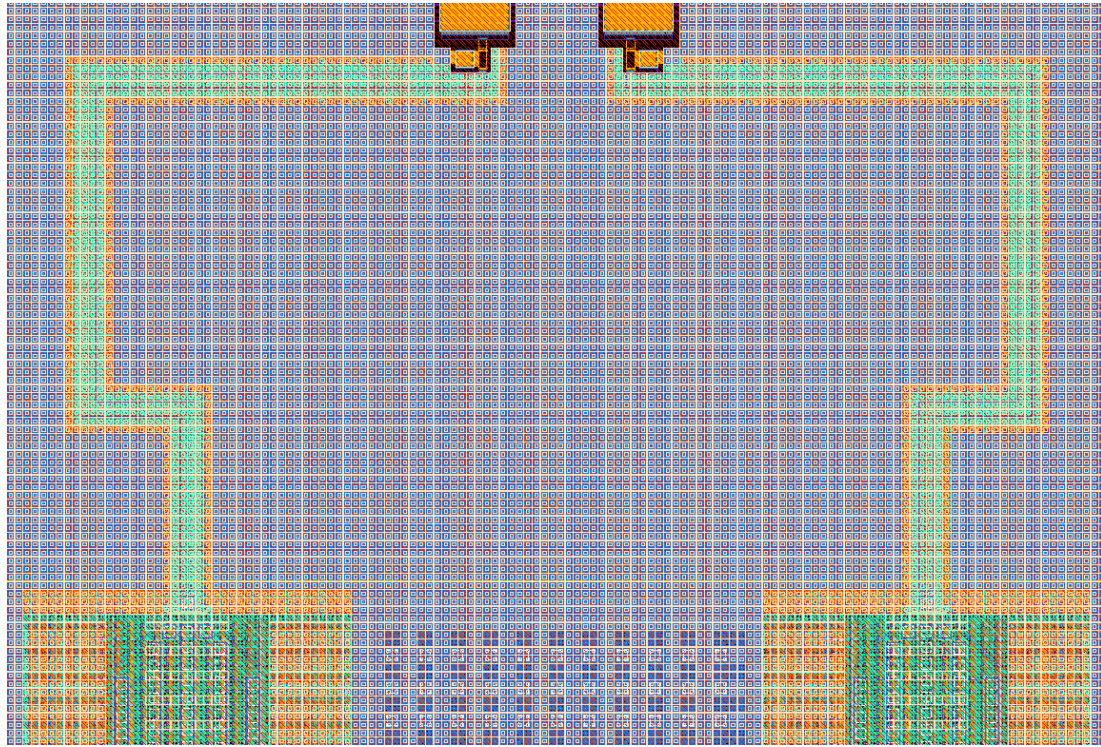


Figure 111 – Layout du circuit d'adaptation utilisé dans le cadre de l'oscillateur millimétrique

L'inductance du circuit d'adaptation a été réalisée en tenant compte des contraintes de surfaces imposées par le circuit. Toutes les lignes ont été évaluées via le simulateur Momentum puis ajustées pour assurer une réflexion en entrée inférieur à -10 dB sur toute la bande de fréquence de l'oscillateur. La conception de circuit d'adaptation pour oscillateur millimétrique large bande impose une certaine limitation quant à l'utilisation de composants passifs possédant de fort coefficient de qualité.

9. Conclusion

Les différentes étapes de la conception d'un oscillateur millimétrique large bande et faible consommation ont été abordées au cours de ce chapitre. Les études réalisées au sein de ce chapitre ont permises de mettre en évidence la topologie la plus appropriée pour permettre l'obtention de bonnes performances aux fréquences millimétriques. Compte tenu des spécifications et de par les limitations imposées par l'utilisation d'un circuit de polarisation classique du varactor, le meilleur compromis semble de s'orienter vers une topologie à inductance variable. Cette dernière offrant d'intéressantes perspectives dans le cadre de la réalisation d'oscillateur millimétrique faible bruit, tout en réduisant les limitations en termes de conception. L'oscillateur conçu tire bénéfices des propriétés de la technologie 28 nm FDSOI CMOS, ce qui lui permet d'obtenir de bonnes performances en termes de consommation et bruit de phase, tout en restant dans une logique large bande pour répondre aux spécifications système. C'est finalement sur la topologie d'oscillateur LC paire croisée NMOS à miroir de courant PMOS que les performances s'avèrent être les plus intéressantes. Les résultats de mesures de ce circuit seront présentés dans le chapitre suivant.

Références

[BALAZ 2013] : Balaz, I.; Brezovic, Z.; Minarik, M.; Kudjak, V.; Stofanik, V., "Barkhausen criterion and another necessary condition for steady state oscillations existence," *Radioelektronika (RADIOELEKTRONIKA)*, 2013 23rd International Conference , vol., no., pp.151,155, 16-17 April 2013

[BERNY 2006] : Thèse de Axel Dominique Berny, p14, 2006

[CAMPBELL 2001] : Preventing and Attacking Measurement Noise Problems, Campbell Scientific Inc

[CHANG 1991] : Zhong Yuan Chang and Willy M.C. Sansen, "Low-Noise Wide-Band Amplifiers in Bipolar and CMOS Technologies" , p10, 1991

[CHANG 2002] : Jae-Hong Chang; Yong-Sik Youn; Hyun-Kyu Yu; Choong-Ki Kim, "Effects of dummy patterns and substrate on spiral inductors for sub-micron RF ICs," Radio Frequency Integrated Circuits (RFIC) Symposium, 2002 IEEE , vol., no., pp.419,422, 3-4 June 2002

[CHATEIGNER 2012] : Manuel de génie électrique - Rappels de cours, méthodes, exemples et exercices corrigés. Par Guy Chateigner, Michel Boes, Daniel Bouix, Jacques Vaillant, Daniel Verkindère

[CHO 2005] : Yi-Hsien Cho; Ming-Da Tsai; Hong-Yeh Chang; Chia-Chi Chang; Huei Wang, "A low phase noise 52-GHz push-push VCO in 0.18- μ m bulk CMOS technologies," Radio Frequency integrated Circuits (RFIC) Symposium, 2005. Digest of Papers. 2005 IEEE , vol., no., pp.131,134, 12-14 June 2005

[DE PAULA 2012] : de Paula, L.S.; Bampi, S.; Fabris, E.; Susin, A.A., "A wide band CMOS differential voltage-controlled ring oscillator," *Circuits and Systems and TAISA Conference, 2008. NEWCAS-TAISA 2008. 2008 Joint 6th International IEEE Northeast Workshop on* , vol., no., pp.9,12, 22-25 June 2008

[DOCKING 2003] : Docking, S.; Sachdev, M., "A method to derive an equation for the oscillation frequency of a ring oscillator," *Circuits and Systems I: Fundamental Theory and Applications, IEEE Transactions on* , vol.50, no.2, pp.259,264, Feb 2003

[DOCKING 2004] : Docking, S.; Sachdev, M., "An analytical equation for the oscillation frequency of high-frequency ring oscillators," *Solid-State Circuits, IEEE Journal of* , vol.39, no.3, pp.533,537, March 2004

[EBRAHIMZADEH 2011] : Ebrahimzadeh, M., "Design of an Ultra-Low Power Low Phase Noise CMOS LC Oscillator," IJSCE. ISSN: 2231-2307, vol. 1, Issue. 4, Sept. 2011

[EKEN 2003] : Thèse de Yalcin Alper Eken, 2003

[EMIRA 2002] : Emira, A.; Sanchez-Sinencio, E.; Schneider, M., "Design tradeoffs of CMOS current mirrors using one-equation for all-region model," Circuits and Systems, 2002. ISCAS 2002. IEEE International Symposium on , vol.5, no., pp.V-45,V-48 vol.5, 2002

- [HADIPOUR 2014]** : Hadipour, K.; Ghilioni, A.; Zhao, J.; Mazzanti, A. , "A Wide Tuning Range mm-Wave LC VCO," *International Journal of Electronics and Electrical Engineering* Vol. 2, No. 1, March, 2014
- [HUI 1998]** : Hui, F.; Chen, Z.; Shen, K.; Lau, J.; Huang, M.; Chan, M.; Ko, P.-K.; Jin, G.; Chan, P.C.H., "High-Q SOI gate varactor for use in RF ICs," *SOI Conference, 1998. Proceedings., 1998 IEEE International* , vol., no., pp.31,32, 5-8 Oct. 1998
- [ITANO 2012]** : Itano, Y.; Itoh, N.; Yoshitomi, S.; Hoshino, H., "High-Q MOS-varactor modeling for mm-wave VCOs," *Microwave Conference Proceedings (APMC), 2012 Asia-Pacific* , vol., no., pp.202,204, 4-7 Dec. 2012
- [JAEMO 2010]** : Jaemo Yang; Choul-Young Kim; Dong-Wook Kim; Songcheol Hong, "Design of a 24-GHz CMOS VCO With an Asymmetric-Width Transformer," *Circuits and Systems II: Express Briefs, IEEE Transactions on* , vol.57, no.3, pp.173,177, March 2010
- [JIMENEZ 2012]** : Jimenez, J.L.G.; Badets, F.; Martineau, B.; Belot, D., "A 56GHz LC-tank VCO with 17% tuning range in 65nm bulk CMOS for wireless HDMI applications," *Radio Frequency Integrated Circuits Symposium, 2009. RFIC 2009. IEEE* , vol., no., pp.481,484, 7-9 June 2009
- [JOVANOVIC 2010]** : Jovanovic, G.; Stojcev, M.; Stamenkovic, Z. , "A CMOS Voltage Controlled Ring Oscillator with Improved Frequency Stability", *Scientific Publications of the State University of Novi Pazar, Series A: Applied Mathematics, Informatics and mechanics*, vol. 2, no. 1, pp. 1-9, 2010.
- [JUN-CHAU 2007]** : Jun-Chau Chien; Liang-Hung Lu, "Design of Wide-Tuning-Range Millimeter-Wave CMOS VCO With a Standing-Wave Architecture," *Solid-State Circuits, IEEE Journal of* , vol.42, no.9, pp.1942,1952, Sept. 2007
- [JUN 2012]** : Jun Yin; Luong, H.C., "A 57.5-to-90.1GHz magnetically-tuned multi-mode CMOS VCO," *Custom Integrated Circuits Conference (CICC), 2012 IEEE* , vol., no., pp.1,4, 9-12 Sept. 2012
- [KENNETH 2002]** : O, K.K.; Namkyu Park; Dong-Jun Yang, "1/f noise of NMOS and PMOS transistors and their implications to design of voltage controlled oscillators," *Radio Frequency Integrated Circuits (RFIC) Symposium, 2002 IEEE* , vol., no., pp.59,62, 3-4 June 2002
- [LEE 2000]** : Lee, T.H.; Hajimiri, A., "Oscillator phase noise: a tutorial," *Solid-State Circuits, IEEE Journal of* , vol.35, no.3, pp.326,336, March 2000
- [LEE 2006]** : J.-H. Lee, S.-Y. Kim, I. Cho, S.Hwang, J.-H. Lee, "1/f Noise Characteristics of Sub-100 nm MOS transistors", *J. Semicond, Technol. Sci.*6, 38-42, 2006
- [LEESON 1966]** : Leeson, D.B., "A simple model of feedback oscillator noise spectrum," *Proceedings of the IEEE* , vol.54, no.2, pp.329,330, Feb. 1966
- [LIANG 2014]** : Liang Wu; Luong, H.C., "A 49-to-62 GHz Quadrature VCO With Bimodal Enhanced-Magnetic-Tuning Technique," *Circuits and Systems I: Regular Papers, IEEE Transactions on* , vol.61, no.10, pp.3025,3033, Oct. 2014

[LIN 2005] : Lin Jia; Jian-Guo Ma; Kiat Seng Yeo; Do, A.V., "A novel methodology for the design of LC tank VCO with low phase noise," Circuits and Systems, 2005. ISCAS 2005. IEEE International Symposium on , vol., no., pp.376,379 Vol. 1, 23-26 May 2005

[MAGET 2002] : Maget, J.; Tiebout, M.; Kraus, R., "Influence of novel MOS varactors on the performance of a fully integrated UMTS VCO in standard 0.25- μ m CMOS technology," Solid-State Circuits, IEEE Journal of , vol.37, no.7, pp.953,958, Jul 2002

[MAMMEI 2013] : Mammei, E.; Monaco, E.; Mazzanti, A.; Svelto, F., "A 33.6-to-46.2GHz 32nm CMOS VCO with 177.5dBc/Hz minimum noise FOM using inductor splitting for tuning extension," Solid-State Circuits Conference Digest of Technical Papers (ISSCC), 2013 IEEE International, vol., no., pp.350,351, 17-21 Feb. 2013

[MAXIM 2006] : Adrian Maxim, " Noise and Spurious Tones Management Techniques for Multi-GHz RF-CMOS Frequency Synthesizers Operating in Large Mixed Analog-Digital SOCs", Article ID 24853, Pages 1 – 26, Volume 2006

[MAZZANTI 2013] : Mazzanti, A.; Andreani, P., "A Push–Pull Class-C CMOS VCO," *Solid-State Circuits, IEEE Journal of* , vol.48, no.3, pp.724,732, March 2013

[MOMOSE 1998] : Momose H. S. et al., "A study, of flicker noise in n- and p-MOSFETs with ultra-thin oxide in the direct-tunneling," Tech. Dig. Int. electron device meeting, pp. 923-926, 1998.

[MURPHY 2011] : Murphy, D.; Gu, Q.J.; Yi-Cheng Wu; Heng-Yu Jian; Xu, Z.; Tang, A.; Wang, F.; Chang, M.-C.F., "A Low Phase Noise, Wideband and Compact CMOS PLL for Use in a Heterodyne 802.15.3c Transceiver," Solid-State Circuits, IEEE Journal of , vol.46, no.7, pp.1606,1617, July 2011

[NARIMAN 2010] : Nariman, M.; Rofougaran, R.; De Flaviis, F., "A switched-capacitor mm-wave VCO in 65 nm digital CMOS," Radio Frequency Integrated Circuits Symposium (RFIC), 2010 IEEE , vol., no., pp.157,160, 23-25 May 2010

[PEREZ 2012] : Électronique. Fondements et applications - 2e édition. Par José-Philippe Pérez, Christophe Lagoute, Jean-Yves Fourniols, Stéphane Bouhours

[RAZAVI 2000] : Behzad Razavi, "Design of Analog CMOS Integrated Circuits", McGraw-Hill, Chapter 7: Noise. (7.28), 2000

[RUNIU 2013] : Runiu Fang; Min Miao; Yufeng Jin, "Investigation of Parasitic Effects Induced by the Ground on LTCC Passive Components," Progress In Electromagnetic Research Symposium, Taipei, Taiwan, pp. 1102-1106, 25-28 Mar. 2013.

[SONG 2003] : Seong-Sik Song; Hyungcheol Shin, "An RF model of the accumulation-mode MOS varactor valid in both accumulation and depletion regions," Electron Devices, IEEE Transactions on , vol.50, no.9, pp.1997,1999, Sept. 2003

[TAI-YOU 2013] : Tai-You Lu; Chi-Yao Yu; Wei-Zen Chen; Chung-Yu Wu, "Wide Tuning Range 60 GHz VCO and 40 GHz DCO Using Single Variable Inductor," Circuits and Systems I: Regular Papers, IEEE Transactions on , vol.60, no.2, pp.257,267, Feb. 2013

[TOUMAZOU 2004] : Trade-Offs in Analog Circuit Design: The Designer's Companion, Partie 1. Par Chris Toumazou, George S. Moschytz, Barrie Gilbert

[TSAI 2012] : Tsai, C.; Gan, K.; Lin, M. "Low Phase Noise and Wide Tuning Range VCO Using the MOS Differential Amplifier with Active Load," Circuits and Systems, Vol. 3 No. 4, 2012

[TSUCHIYA 2008] : Tsuchiya, A.; Onodera, Hidetoshi, "Patterned Floating Dummy Fill for On-Chip Spiral Inductor Considering the Effect of Dummy Fill," Microwave Theory and Techniques, IEEE Transactions on , vol.56, no.12, pp.3217,3222, Dec. 2008

[WAN 2006] : Thèse de Bin Wan, 2006

[WEI 2012] : Wei Fei; Hao Yu; Kiat Seng Yeo; Wei Meng Lim, "A 60GHz VCO with 25.8% tuning range by switching return-path in 65nm CMOS," Solid State Circuits Conference (A-SSCC), 2012 IEEE Asian , vol., no., pp.277,280, 12-14 Nov. 2012

[XIANG 2013] : Xiang Yi; Chirn Chye Boon; Hang Liu; Jia Fu Lin; Jian Cheng Ong; Wei Meng Lim, "A 57.9-to-68.3GHz 24.6mW frequency synthesizer with in-phase injection-coupled QVCO in 65nm CMOS," Solid-State Circuits Conference Digest of Technical Papers (ISSCC), 2013 IEEE International , vol., no., pp.354,355, 17-21 Feb. 2013

Performances de l'oscillateur et perspectives d'amélioration

1. Performances de l'oscillateur

1. Simulations

a. Approche des simulations

Les contraintes rencontrées lors de la conception de circuit fonctionnant à des fréquences millimétriques nécessitent l'utilisation d'une approche rigoureuse des simulations. La méthodologie employée dans le cadre de ce travail peut être divisée en deux parties. Une première partie consiste à utiliser un simulateur électromagnétique (en l'occurrence Momentum) afin de déterminer avec précisions les parasites induits par le transformateur ainsi que par les lignes d'accès aux capacités digitales et aux varactors. Un port étant utilisé pour chaque entrée de composant afin de maximiser la précision des simulations réalisées (figure 112 a). Une extraction des résistances et capacités parasites est ensuite réalisée grâce au logiciel Star-RCXT (figure 112 b).

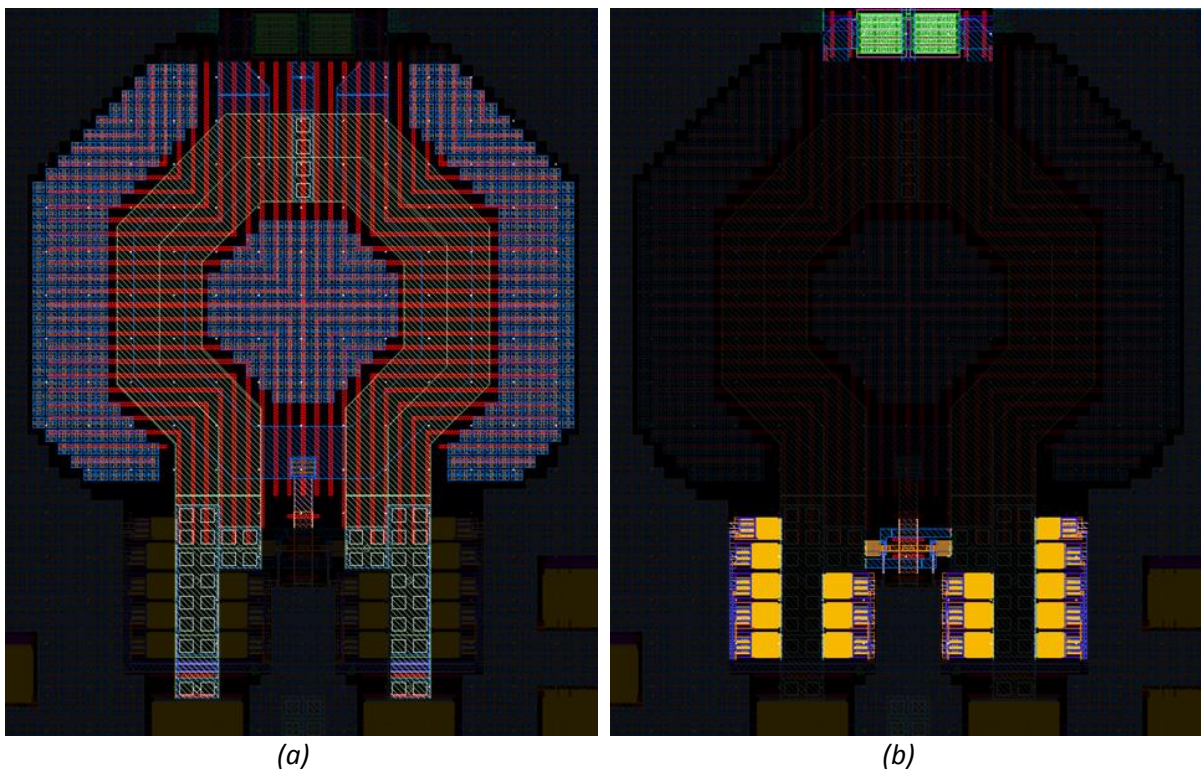


Figure 112 – Aperçu des éléments concernés par les simulations électromagnétiques avec Momentum (a) et les extractions de résistances et de capacités parasites avec Star-RCXT (b)

b. Préparation des mesures

La conception de circuit fonctionnant aux fréquences millimétriques nécessite l'utilisation de composants optimisée en termes de résistances et de capacités parasites. Une partie des éléments composants les circuits réalisés a donc été conçue manuellement afin d'obtenir les meilleures performances possible, tout en respectant les contraintes de densité et de conception imposées par la technologie. Un plan de masse globale, englobant le cœur du circuit, permet de minimiser l'effet inductif présent sur les chemins de retour du courant pour ainsi éviter tout problème de filtrage indésirable. Chaque cellule utilisée pour la réalisation du plan de masse est localisée sur l'ensemble des niveaux de métallisations de la technologie dans le but de réduire autant que possible les effets résistifs et inductifs. Les connections des alimentations du circuit et des bits de contrôle contiennent des capacités de découplages, localisées au plus près du circuit, permettant de réduire l'impact sur le circuit des variations parasites observées sur les alimentations en tension. Des pads RF faiblement capacitifs, visibles sur la figure 113, permettent de faciliter l'adaptation large bande sur une sortie 50 ohms comme nous l'avons vu dans le chapitre précédent. Une capacité légèrement inférieure à 45fF est atteinte grâce une optimisation du placement des dummies et un écart signal-plan de masse adéquate.

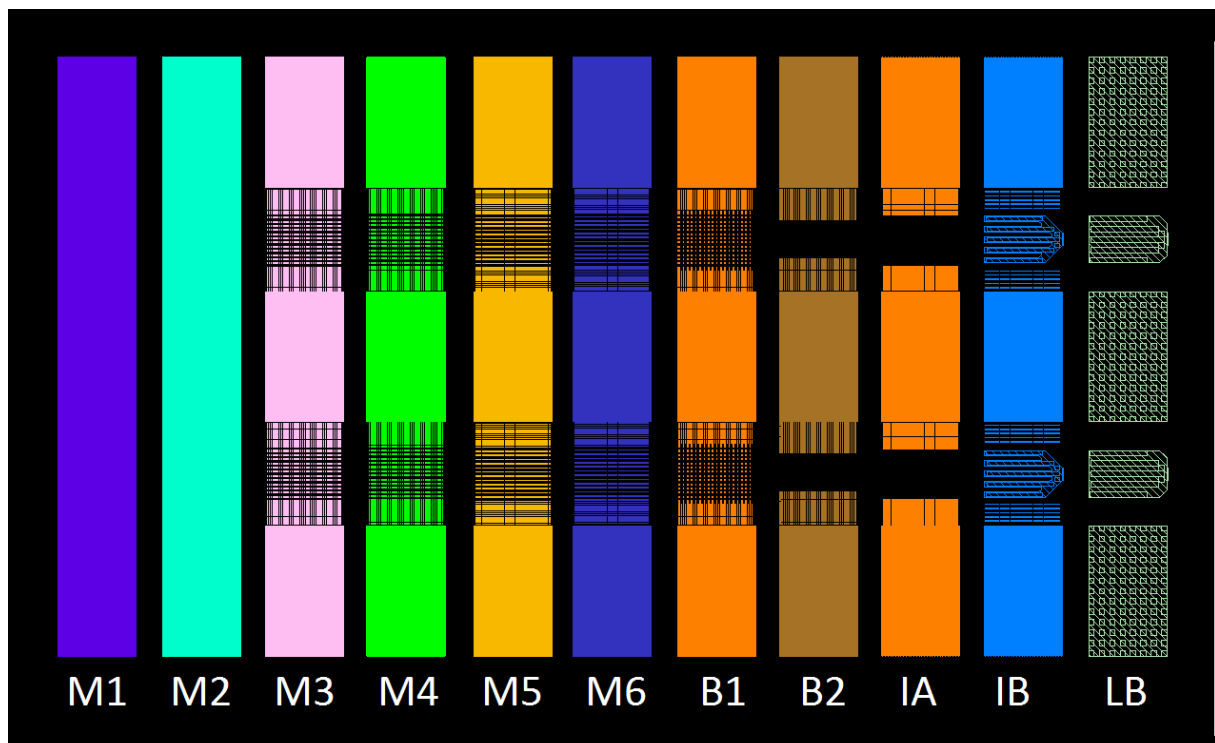


Figure 113 – Décomposition des différents niveaux de métallisations composants les pads RF faiblement capacitif

2. Mesures

a. Appareils utilisés

Les séries de mesures réalisées durant cette thèse se sont déroulées à l'IMS Bordeaux et à STMicroelectronics Crolles. C'est finalement la configuration de cette dernière série de mesures qui sera détaillé ci-dessous (figure 114, 115, 116 et 117).

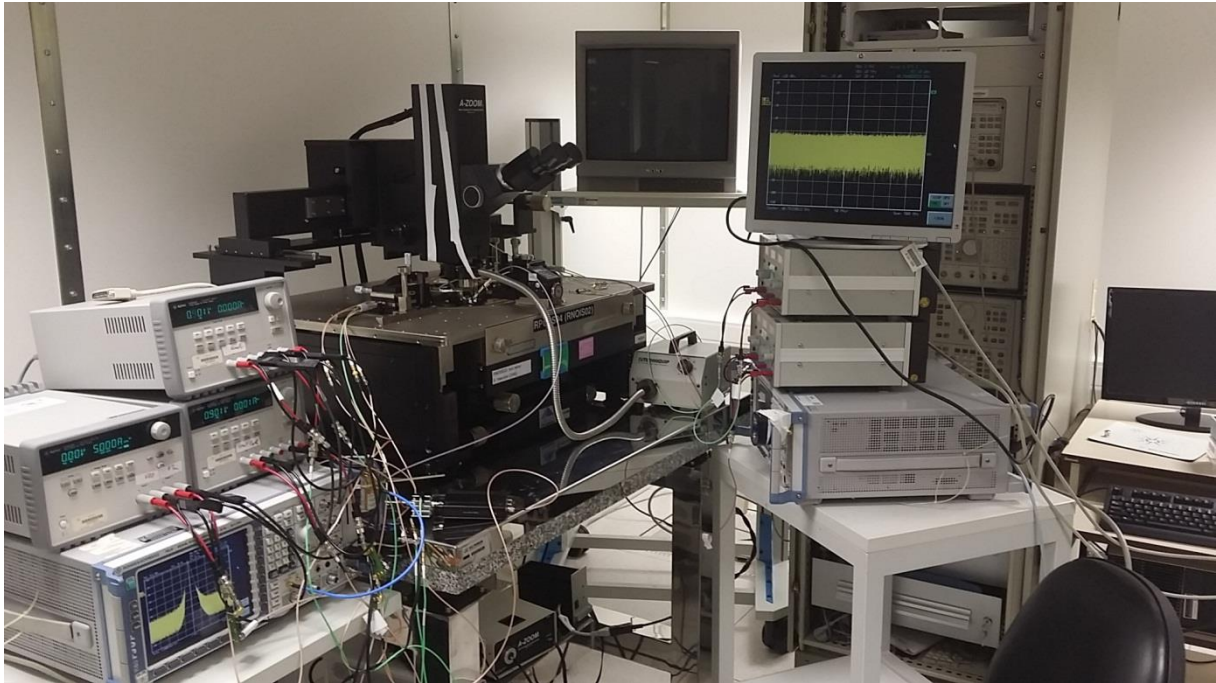


Figure 114 – Configuration des mesures sous pointes réalisée

Les mesures ont été réalisées grâce à l'utilisation de pointes de mesures millimétriques (figure 118). Bien que ces conditions ne soient pas optimum dans le cadre de mesures d'un VCO millimétrique, elles permettent tout de même d'avoir un très bon aperçu des performances réelles pouvant être obtenues. Cette série de mesure s'est déroulée à l'intérieur d'une cage de Faraday dans le but de réduire autant que possible l'impact de l'environnement extérieur. Les performances en termes de bruit phase ont été estimées grâce à l'utilisation d'un analyseur de spectre pouvant fonctionner jusqu'à 26 GHz ce qui justifie l'utilisation d'un diviseur de fréquence en entrée de ce dernier. Le bruit de phase en sortie du VCO pouvant être calculé par [MESGARZADEH 2005] :

$$L_{\text{sortie du VCO}}(f) = L_{\text{sortie du diviseur}}(f) + 20 \cdot \log(N) \quad (3.1)$$

Avec N le rang de division.

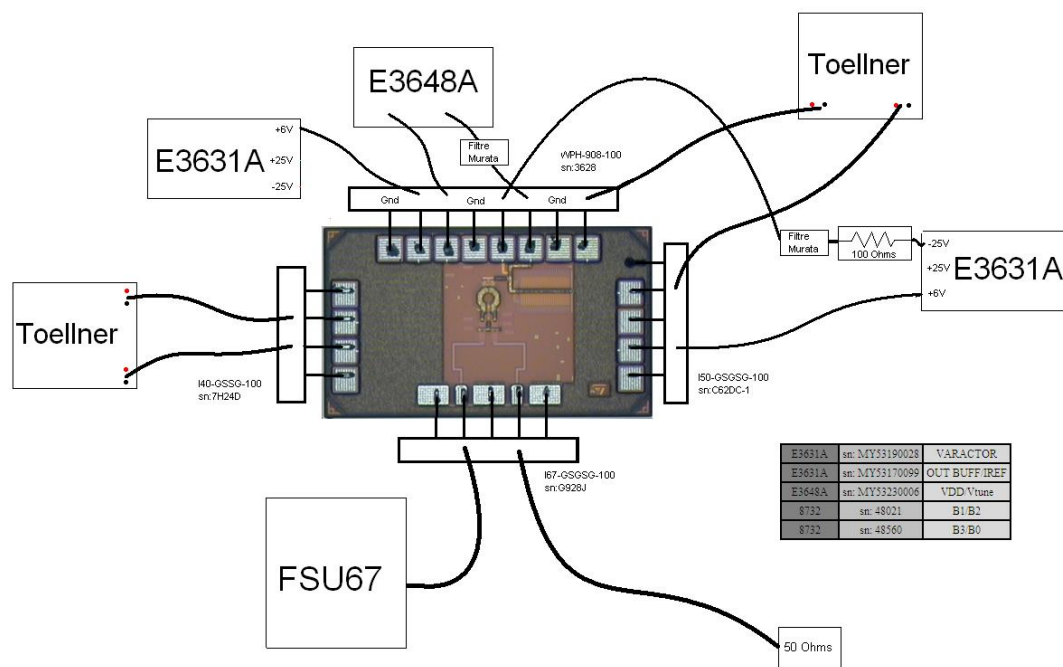


Figure 115 – Illustration de l'appareillage utilisé

Fonctions	Fabricants	Modèles	Utilisation
Banc de mesure	Cascade Microtec	12k Summit	Installation des pointes de mesures
Pointes de mesure RF	Cascade Microtec	I67-GSGSG-100	Connections pad/alim
Pointes de mesure RF	Cascade Microtec	I50-GSGSG-100	Connections pad/alim
Pointes de mesure RF	Cascade Microtec	I40-GSSG-100	Connections pad/alim
Pointes de mesure DC	Cascade Microtec	WPH-908-100	Connections pad/alim
Alimentation DC	Agilent	E3631A	Varactor
Alimentation DC	Agilent	E3631A	Alimentation des buffers de sortie, courant de référence
Alimentation DC	Agilent	E3648A	Alimentation du cœur de l'oscillateur, Vtune
Alimentation DC	Toellner	8732	Bits de contrôle (B1, B2)
Alimentation DC	Toellner	8732	Bits de contrôle (B3, B0)
Amplificateur	Miteq	JS3-18004000-S5-15P-HS	Amplifier le signal de sortie pour obtenir une puissance suffisante en entrée du diviseur de fréquence
Diviseur de fréquence	Centellax	TD40MCA	Division de fréquence par 8 pour atteindre la plage de fréquence accessible par l'analyseur de spectre
Analyseur de spectre	R&S	FSU67	Mesure directe de la fréquence de fonctionnement de l'oscillateur
Analyseur de spectre	R&S	FSUP26	Mesure du bruit de phase obtenu en sortie du diviseur par 8

Figure 116 – Liste détaillée des outils de mesures utilisés

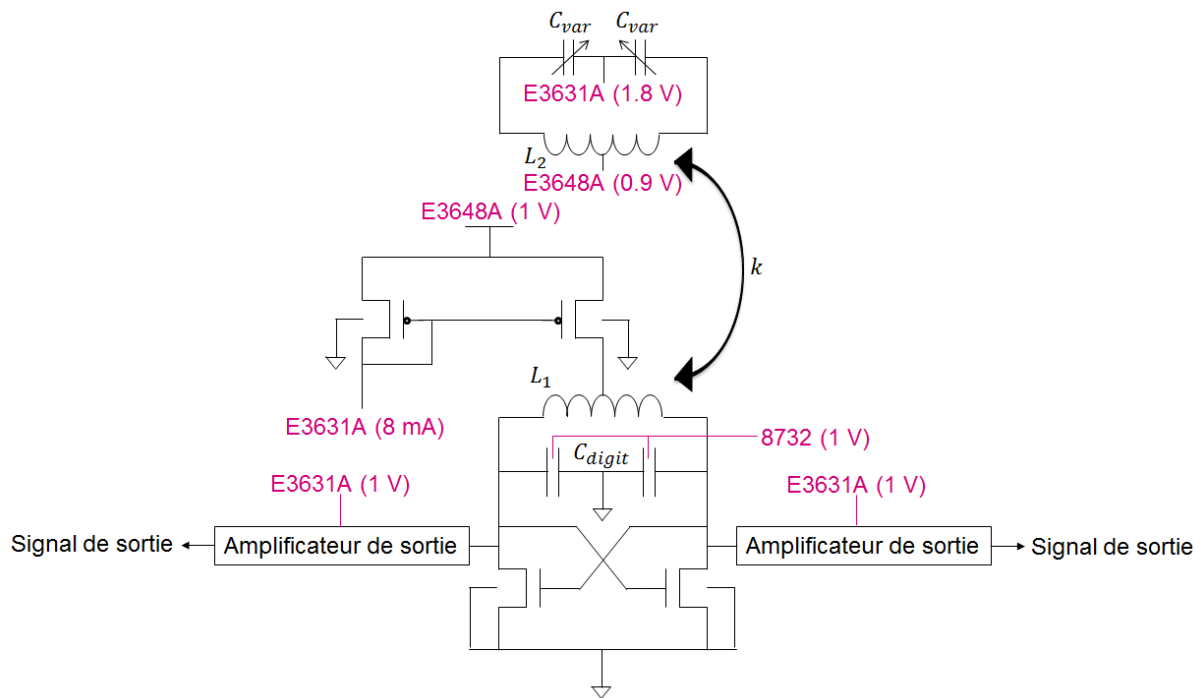


Figure 117 – Schéma du VCO avec emplacements des différentes alimentations

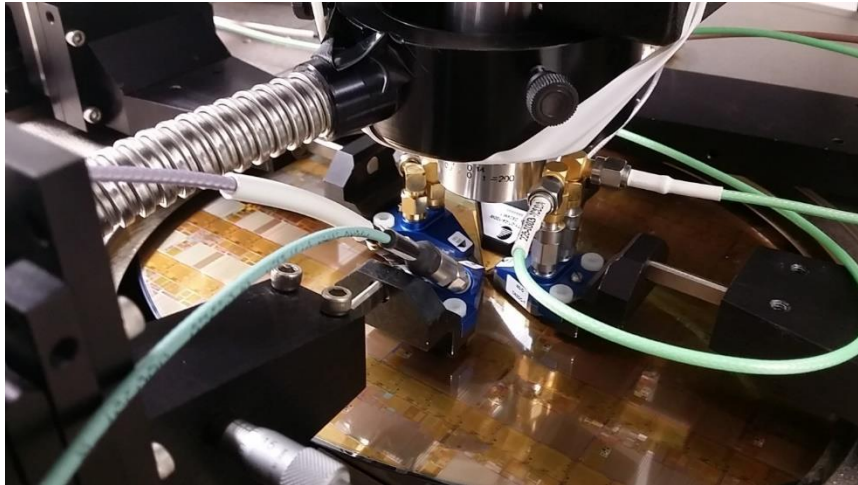


Figure 118 – Disposition des pointes RF et DC

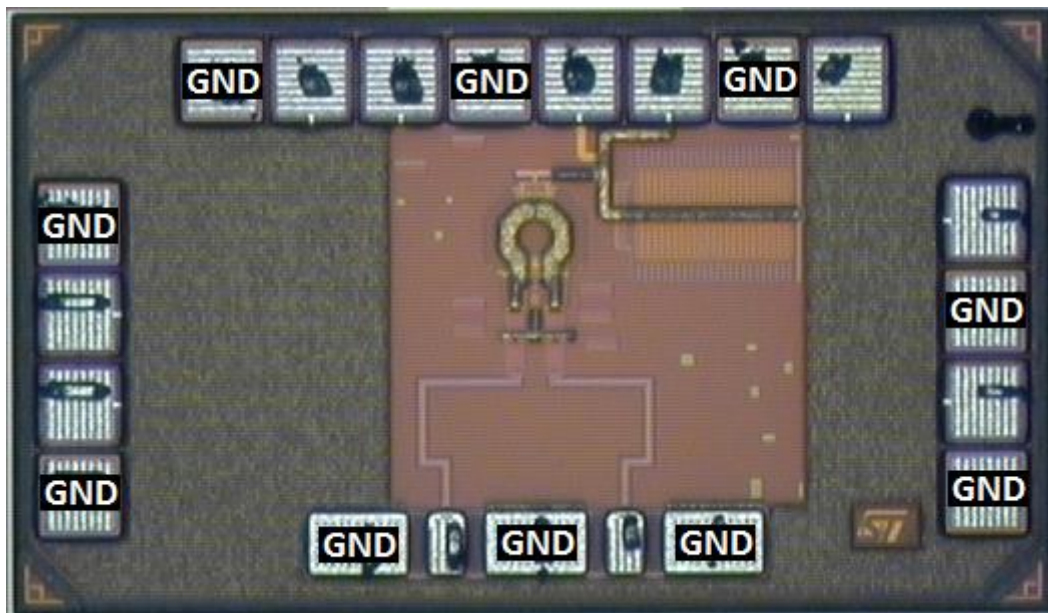


Figure 119 – Aperçu du circuit conçu avec emplacements des différentes masses

Comme expliqué auparavant, il est primordial dans un circuit fonctionnant aux fréquences millimétriques de minimiser autant que possible l'effet inductif et résistif du retour de masse. On privilégie ainsi l'utilisation d'un important nombre de pads dédiés au retour de masse afin de garantir un chemin court et un équilibrage de l'ensemble (figure 119).

b. Résultats de mesures

De nombreuses analyses ont été effectuées durant la série de mesure afin de caractériser au mieux les performances du VCO. Elles ont été réalisées dans diverses conditions de polarisation situées autour du point de fonctionnement attendu, afin de localiser avec précisions les polarisations correspondant au point de fonctionnement optimal. Les premières conditions de mesures ont été réalisées avec une tension V_{DD} fixée à 1 V et un courant de 8 mA. L'ensemble des bits de contrôle des capacités digitales ont été reliés à la masse afin de se placer dans les conditions de fréquences maximales, et réaliser une première analyse de l'excursion en fréquence offerte par le varactor. Comme le montre la figure 120, la variation de fréquence obtenue est de l'ordre de 1.2 GHz pour une plage de tension allant de 0 à 1.8 V ce qui est relativement proche de ce qui avait été obtenu en simulation. Le léger écart étant probablement dû à une mésestimation des capacités parasites, au sein du résonateur LC, ce qui explique par la même occasion le décalage de la fréquence centrale de 1.5 GHz, soit moins de 4% de la fréquence centrale.

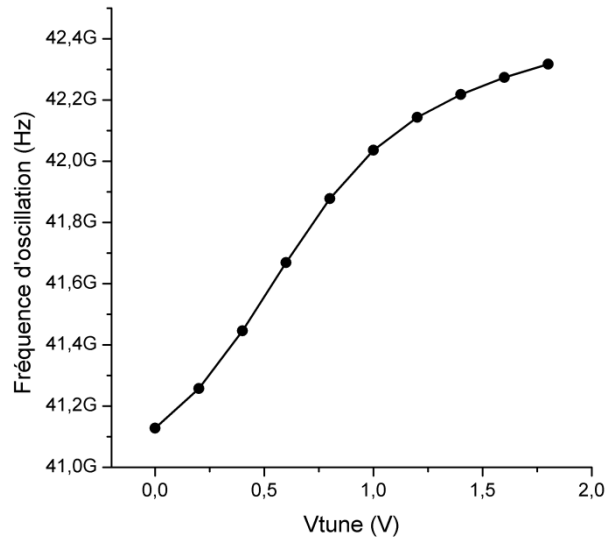


Figure 120 – Variation de la fréquence d'oscillation du VCO engendrée par une différence de potentiel aux bornes du varactor (Vtune)

Une autre série de mesures a par la suite été réalisée dans le but de déterminer l'impact des capacités digitales sur la fréquence de fonctionnement de l'oscillateur (figure 121). Un bon recouvrement de l'ensemble des fréquences est obtenu. Ce dernier semble indiquer qu'une bonne partie des capacités parasites proviennent des capacités digitales. La plage de fonctionnement totale se trouve être légèrement plus faible que ce qui était attendu avec une plage d'accord de 17%. On remarque néanmoins que cette dernière pourrait être fortement agrandie sans gros impact sur les performances de l'oscillateur grâce à l'utilisation d'un écart capacitif légèrement plus important entre les états ON et OFF des capacités digitales.

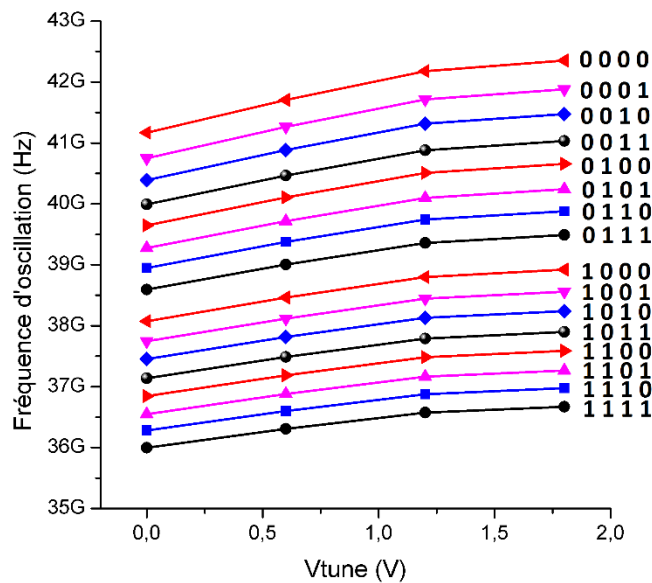


Figure 121 – Impact des capacités digitales sur la fréquence de fonctionnement de l'oscillateur (4 bits)

Un important écart en fréquence est observé entre les états 0111 et 1000 des bits de contrôle (figure 121). Il peut être expliqué par la disposition des capacités digitales, pour lesquelles le choix a été fait de placer les capacités de poids faible au plus proche de l'inductance (pour réduire l'impact des capacités parasites), et de placer les capacités de poids fort au plus loin. En effet, comme nous l'avons vu au cours du chapitre précédent, la ligne de transmission permettant l'accès aux capacités digitales de poids fort engendre une augmentation de la capacité réelle perçue aux bornes de l'inductance. Un moyen simple de corriger ce problème peut être l'utilisation de cellules de capacités digitales de poids fort de valeur légèrement inférieures à celle initialement utilisé. Finalement le recouvrement obtenu est tel qu'il pourrait permettre l'utilisation d'une excursion de tension V_{tune} de l'ordre de 1.2 V plutôt 1.8 V. Ainsi, on remarque qu'en retravaillant légèrement le dimensionnement des capacités digitales il est aussi possible d'envisager l'utilisation de 3 bits de contrôle au lieu de 4 (figure 122). Bien que cette solution puisse se traduire par une faible diminution de la plage de fonctionnement totale du VCO, elle possède néanmoins deux avantages importants. Tout d'abord, le retrait d'un bit offre la possibilité de supprimer une partie de l'effet capacitif au sein du résonateur LC, ce qui a pour conséquence d'augmenter la fréquence de fonctionnement moyenne de l'oscillateur, et en l'occurrence de la recentrer sur l'objectif initialement fixé. Ensuite, la suppression d'une capacité digitale indique une augmentation de la résistance parallèle totale apportée par le résonateur LC vis-à-vis de la paire croisée. Il est ainsi possible, théoriquement, de pouvoir espérer une amélioration du bruit de phase du VCO ou une consommation totale légèrement inférieure pour un bruit de phase donné.

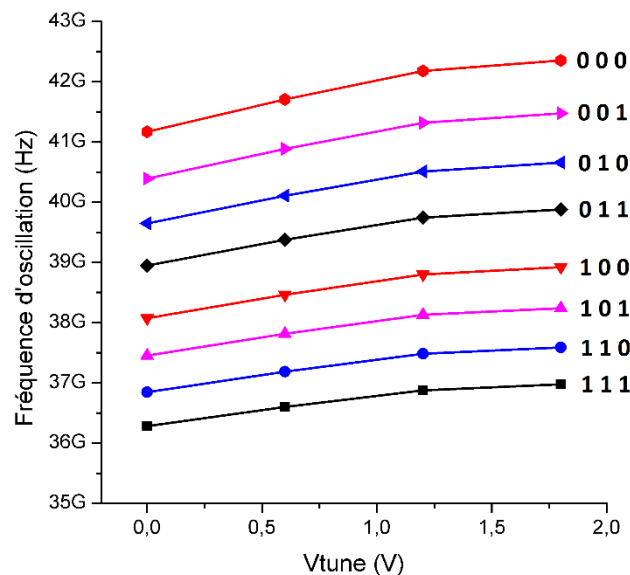


Figure 122 – Impact des capacités digitales sur la fréquence de fonctionnement de l'oscillateur (3 bits)

Les performances en bruit de phase de l'oscillateur ont été observées à 1 KHz, 10kHz, 1 MHz et 10 MHz de la porteuse pour diverse conditions de polarisation appliqué sur le varactor. La figure 123 met en évidence l'obtention d'un bruit de phase de -38 dBc/Hz @ 10 kHz, -94 dBc/Hz @ 1 MHz et -118 dBc/Hz @ 10 MHz qui permet de placé le VCO au niveau de l'état de l'art actuel dans le cadre des oscillateurs large bande et faible consommation fonctionnant aux fréquences millimétriques. On remarque que l'influence de la tension de polarisation du varactor peut provoquer des écarts de mesures

allant jusqu'à 2.5 dB, ces écarts étant principalement dû à la dégradation du coefficient de qualité de l'inductance variable.

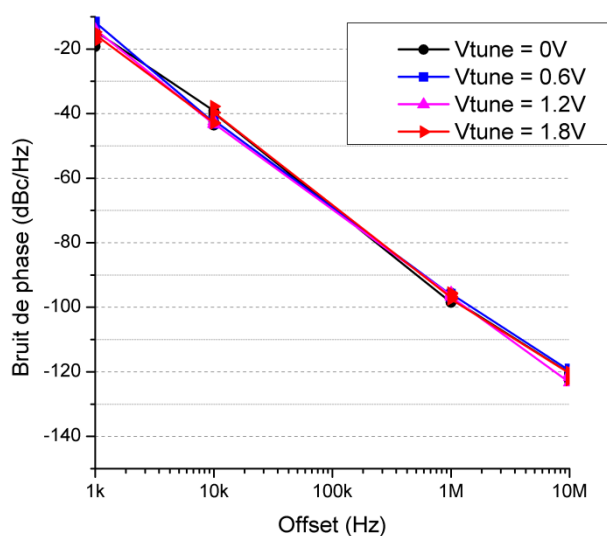


Figure 123 – Bruit de phase obtenus à 1 kHz, 10 kHz, 1 MHz et 10 MHz de la porteuse pour différents Vtune

Les résultats de mesures en termes de bruit de phase sont assez proches de ceux qui avaient été obtenus auparavant au cours des simulations réalisées à 10 kHz, 1 MHz et 10 MHz de la porteuse (figure 124).

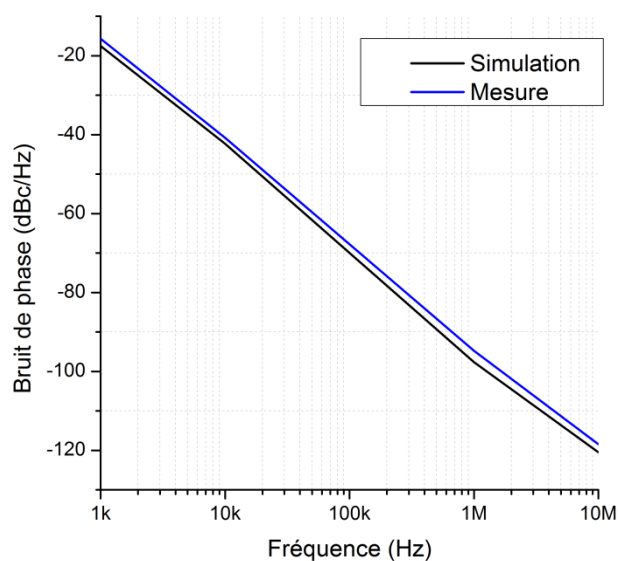


Figure 124 – Ecart moyen observé entre simulations et mesures de bruit de phase à 1 kHz, 10 kHz, 1 MHz et 10 MHz de la porteuse

Le point optimum observé en mesure, en termes de consommation, correspond à la consommation attendu au niveau des simulations, soit 8mA pour $v_{dd} = 1V$. Une augmentation du courant peut être réalisée dans le but d'améliorer les performances en bruit de phase du VCO. Une limitation apparaît cependant assez rapidement au niveau du miroir de courant, ce dernier saturant assez vite pour un courant supérieur à 10 mA. Une limitation en courant semble aussi apparaître lorsque le courant traversant le VCO devient inférieur à 7 mA, non seulement quant aux performances en bruit de phase, mais aussi en termes de puissance d'entrée perçu en entrée de l'amplificateur de sortie du VCO.

2. Oscillateurs millimétriques à ondes lentes

1. Généralités sur les ondes lentes

Comme nous l'avons vu précédemment l'une des principales limitations de la performance d'un oscillateur millimétrique repose sur la valeur des coefficients de qualité des éléments passifs. On peut considérer que la valeur des coefficients de qualité des éléments capacitifs est principalement définie par la technologie et ne peut être véritablement améliorée pour une valeur de capacité donnée. Il est cependant possible d'envisager l'utilisation de lignes de transmission à ondes lentes pour la partie inductive, afin d'obtenir des coefficients de qualité supérieur à une topologie plus classique [TANG 2012]. Les lignes de transmissions à ondes lentes peuvent être perçues comme étant des lignes CPW classique sous lesquels est inséré de nombreux barreaux flottants perpendiculaires à cette dernière. Finalement les barreaux flottants ajoutés sous la ligne de transmission permettent d'effectuer une modification du champ électrique, sans affecter le champ magnétique. En se référant au modèle RLCG d'une ligne de transmission (figure 125), l'impédance caractéristique d'une ligne de transmission peut être déterminée par :

$$Z_c = \sqrt{\frac{R_l + j \cdot L_l \cdot \omega}{G_l + j \cdot C_l \cdot \omega}} \quad (3.2)$$

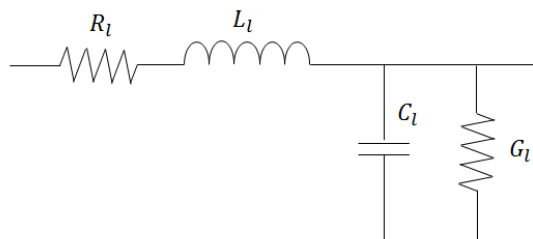


Figure 125 – Modèle RLCG d'une ligne de transmission

Tandis que le coefficient de qualité de la ligne (3.5) peut être déterminé depuis les équations de l'affaiblissement linéique α (3.3) et du déphase linéique β (3.4) :

$$\alpha = \frac{R_l}{2 \cdot Z_c} + \frac{G_l \cdot Z_c}{2} \quad (3.3)$$

$$\beta = \omega \cdot \sqrt{L_l \cdot C_l} \quad (3.4)$$

$$Q = \frac{\beta}{2 \cdot \alpha} = \frac{\omega \cdot \sqrt{L_l \cdot C_l} \cdot Z_c}{R_l + G_l \cdot Z_c^2} \quad (3.5)$$

Il est ainsi possible de mettre en évidence qu'une augmentation de la capacité linéique offre la possibilité d'accroître le coefficient de qualité de la ligne, propriété dont bénéficient les lignes de transmissions à ondes lentes grâce à l'utilisation des barreaux flottants [FRANC 2011].

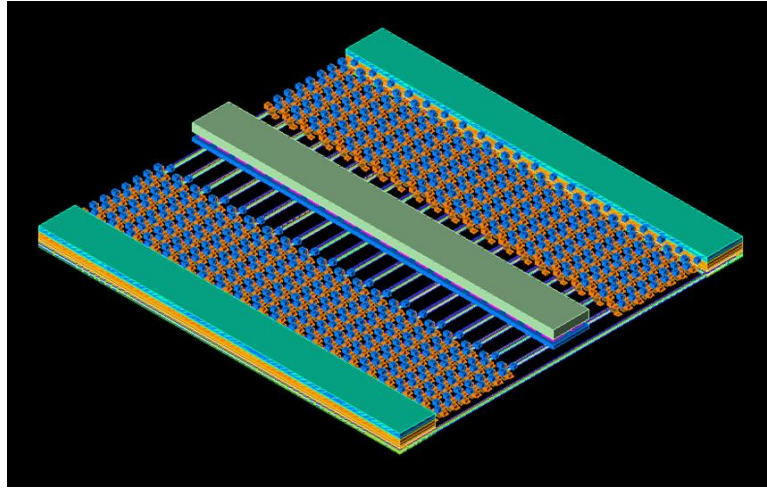


Figure 126 – Vue 3D d'une ligne de transmission à ondes lentes

La mise en place d'une ligne de transmission à ondes lentes en lieu et place d'une ligne de transmission CPW offre la possibilité d'améliorer le coefficient de qualité de l'inductance au détriment de la surface (figure 126). La longueur des barreaux flottants joue en effet un rôle primordial quant au coefficient de qualité de la ligne de transmission puisqu'une importante longueur maximise l'effet « ondes lentes » et permet aussi de réduire le couplage du champ électrique vis-à-vis des plans de masses alentours.

2. Idées d'implémentation

a. *Forme de l'inductance*

L'implémentation d'une ligne de transmission au sein d'un oscillateur peut nécessiter l'utilisation d'inductance possédant des formes non rectiligne avec la présence de coins.

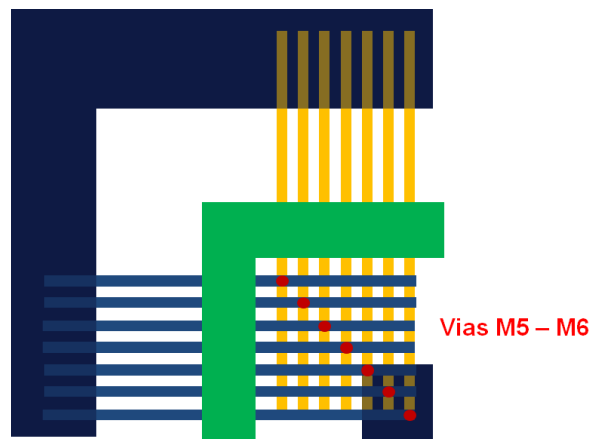


Figure 127 – Utilisation de vias M5-M6 pour compléter la disposition de barreaux flottants sous un coin d'inductance

Une première approche consiste à utiliser des barreaux flottants placés à différents niveaux de métallisation en fonction de leur direction. L'un des principaux inconvénients de cette méthode, visibles sur la figure 127, est qu'elle nécessite l'utilisation de trous métallisés [FRANC 2011] détériorant l'effet ondes lentes puisque modifiant la longueur effective des barreaux et perturbant le sens du retour du courant sous la ligne de transmission. D'une autre façon, la non-utilisation de trous métallisés peut aussi être perçue comme une problématique majeure puisqu'elle induit un sens de retour du courant unique perturbant l'équilibrage des champs électrique associés à l'inductance (figure 128).

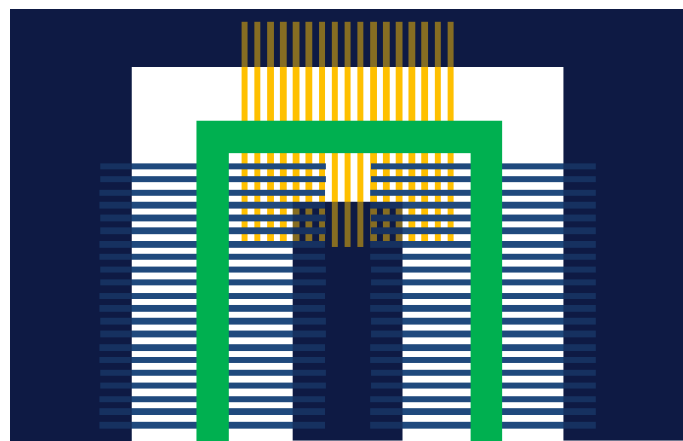


Figure 128 – Inductance comprenant des barreaux flottants au niveau des coins

Il est finalement préférable de ne pas utiliser de barreaux flottants aux coins de l'inductance, ce qui limite grandement leur intérêt dans le cadre de la réalisation d'inductance de faible valeur. Ces dernières ne comprennent en effet que trop peu d'espace pour que l'effet d'ondes lentes soit réellement perceptible sur le coefficient de qualité de l'inductance (figure 129). Or comme nous l'avons vu au sein du chapitre précédent, l'utilisation d'inductance de faible valeur fait partie des conditions nécessaires à l'obtention de bonnes performances en bruit lors de la réalisation d'un oscillateur fonctionnant aux fréquences millimétriques.



Figure 129 – Inductance ne comprenant pas de barreaux flottants au niveau des coins

Ainsi les diverses limitations physique imposées par la mise en place de barreaux flottants sous des topologies d'inductance comprenant des coins, limite fortement leur intérêt. Le coût en surface s'avérant être trop préjudiciable vis-à-vis du gain obtenu en termes de coefficient de qualité. L'utilisation d'une simple ligne de transmission rectiligne n'est habituellement pas envisageable dans le cadre de la conception d'un oscillateur fonctionnant aux fréquences millimétriques, car elle impose une importante distance entre les deux parties différentielles, rendant la symétrie de l'ensemble fortement sensible aux variations de dopages lors de la fabrication du circuit. L'utilisation de la technologie 28 nm FDSOI CMOS permet cependant de compenser cette contrainte grâce à l'utilisation d'une polarisation adaptée sur l'ensemble des caissons des transistors de chaque partie différentiel, en fonction des variations de dopages détectées [LUO 2012] [TACHIBANA 2008]. Il est ainsi possible de maintenir dans des conditions de polarisation de V_{gs} équivalentes, une même excursion en tension V_{ds} , ainsi qu'un même g_m quel que soit le dopage des zones concernées.

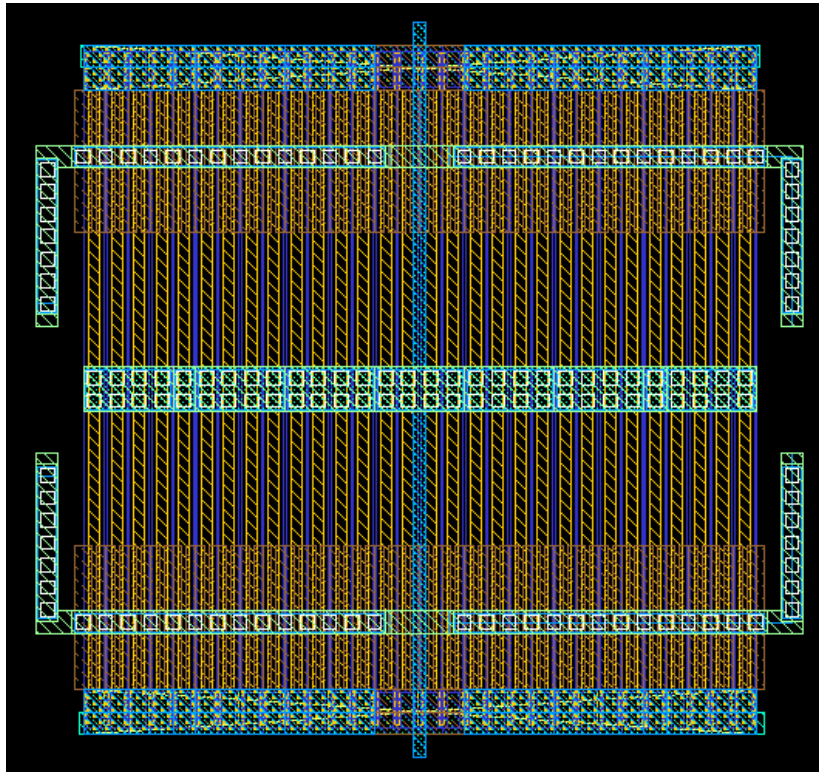


Figure 130 – Ligne de transmission à ondes lentes et inductances de filtrage de la paire croisée dans le cadre de la réalisation d'un VCO hautes performances

L'intérêt de l'utilisation d'une simple ligne de transmission rectiligne est double. Elle permet tout d'abord de pleinement bénéficier des effets des lignes à ondes lentes, en plus de permettre une intégration aisée d'inductances de filtrage au niveau des transistors de la paire croisée comme nous l'avons vu dans le chapitre précédent (figure 130).

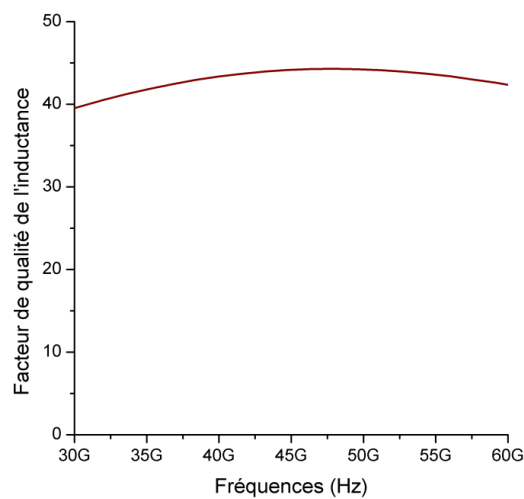


Figure 131 – Facteur de qualité obtenue pour une ligne de transmission à ondes lentes de 55 pH en technologie 28 nm FDSOI CMOS

Les simulations réalisées grâce au simulateur Momentum semblent indiquer une réelle amélioration du coefficient de qualité de l'inductance, avec une augmentation de l'ordre de 30% (figure 131) correspondant à une amélioration du bruit de phase de l'ordre de 2.5 dB si l'on se réfère à l'équation 2.11 de la page 70 de ce manuscrit. Finalement, les bonnes performances en termes de coefficient de qualité obtenues, ainsi que les l'utilisation d'un filtrage supplémentaire diminuant l'impact des non-linéarités, permettent d'envisager la réalisation d'oscillateurs très faible bruit utilisant le phénomène d'ondes lentes.

b. Niveaux de métallisation

Comme nous l'avons vu auparavant, il est possible d'optimiser le coefficient de qualité de la ligne de transmission à ondes lentes conçue en maximisant la valeur de la capacité effective associée. La distance entre la ligne de transmission et les barreaux flottants ne doit pas être trop faible afin de garantir un effet d'ondes lentes suffisant, une trop forte proximité pouvant se traduire par une mauvaise capture du champ magnétique par les barreaux flottants.



Figure 132 – Niveaux de métallisation utilisés dans le cadre de la réalisation d'une ligne de transmission à ondes lentes en technologie 28 nm FDSOI CMOS

Il semble que le meilleur compromis dans la technologie 28 nm FDSOI CMOS à 10 niveaux de métallisations soit l'utilisation des niveaux IB et LB pour la réalisation de la ligne de transmission, et l'utilisation du niveau M6 pour la conception des barreaux flottants (figure 132). Ce choix de niveau de métaux permet en effet de garantir un espacement suffisant entre la ligne de transmission et les barreaux flottants, tout en garantissant la possibilité de placer divers composants, protégés du champ électrique émis par la ligne de transmission, sous le niveau M6. La proximité des barreaux flottants et le taux de remplissage du niveau M6 doit être suffisamment grand pour maximiser l'effet d'ondes lentes, sans pour autant engendrer l'apparition de forts courants de Foucault. Ces derniers pouvant, comme nous l'avons vu dans le chapitre précédent, réduire considérablement le coefficient de qualité de la ligne.

c. Modification du varactor

Trois différentes solutions semblent envisageables pour l'intégration du varactor au sein d'un VCO à ondes lentes. La première consiste à placer simplement deux varactors de chaque côté de la ligne de transmission (figure 133), dont le body est contrôlé de manière indépendante en fonction des variations de dopages appliquées sur chacun d'entre eux. Néanmoins, l'utilisation de cette technique nécessite la mise en place de circuit de polarisation, source de nombreuses résistances et capacités parasites, comme nous l'avons vu dans le chapitre précédent.

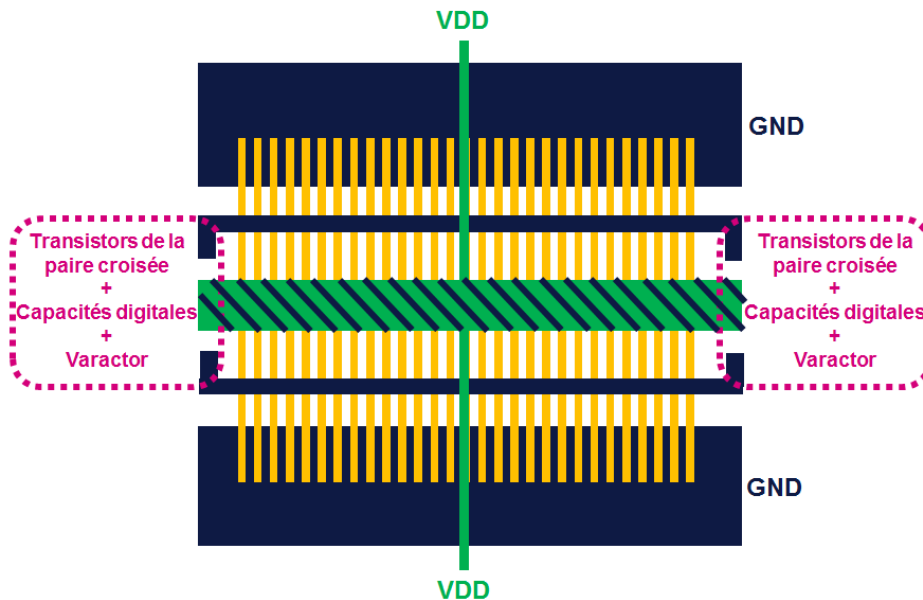


Figure 133 – VCO à ondes lentes avec circuit de polarisation pour les varactors

La seconde solution s'appuie sur la réalisation d'un transformateur directement intégré sur les barreaux flottants (figure 134). Il serait alors possible d'utiliser le niveau IB, proche des barreaux flottants, pour la partie primaire connectée au cœur du VCO, et le niveau LB pour la partie secondaire relié aux varactors. L'un des principaux inconvénients est le fait que seule la moitié de l'ensemble de la partie secondaire du transformateur recouvre la partie primaire et donc que l'effet d'inductance variable est amoindri (dans l'optique de bonnes performances en termes de coefficient de qualité).

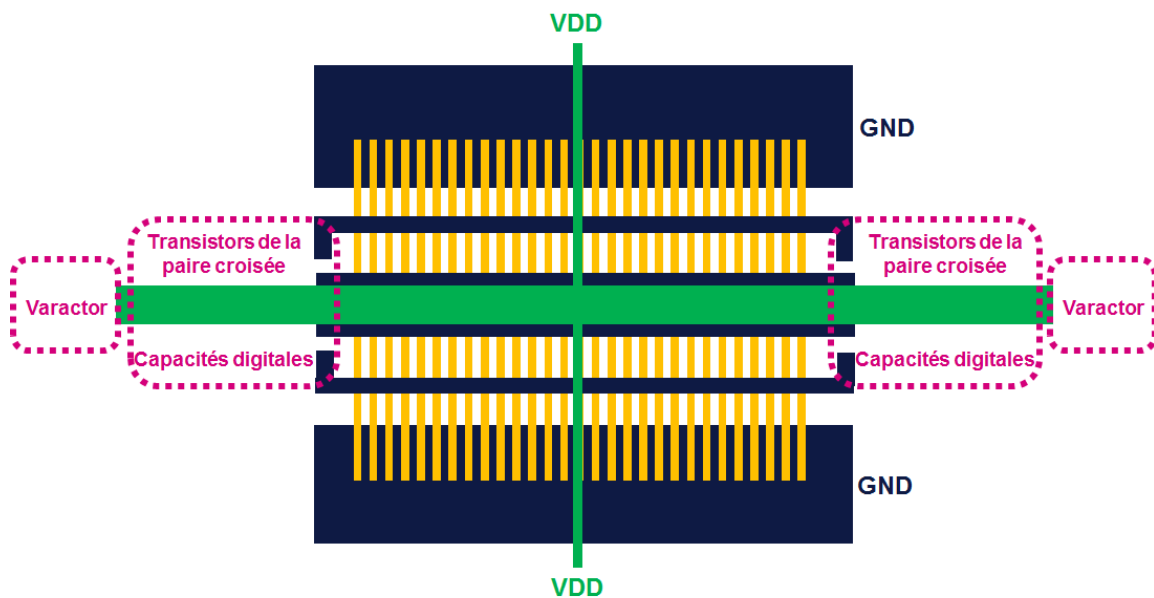


Figure 134 – VCO à ondes lentes avec transformateur

La troisième solution est axée sur l'utilisation de transistors aux extrémités des barreaux flottants (figure 135), permettant de faire varier l'impédance caractéristique de la ligne en fonction de la polarisation appliquée sur leur grille.

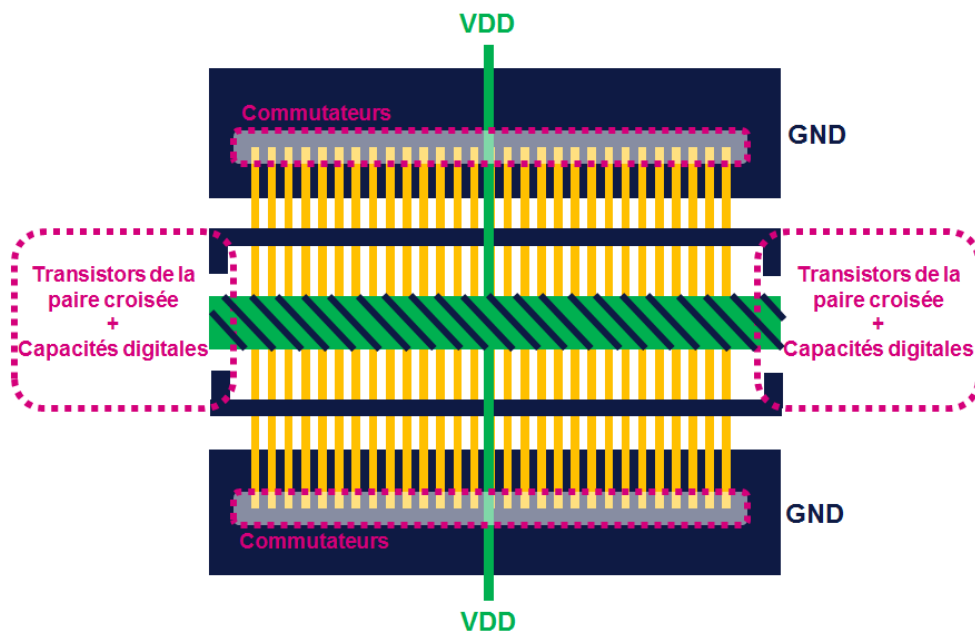


Figure 135 – VCO à ondes lentes avec commutateurs aux bornes des barreaux flottants

3. Oscillateurs synchrones large bande à anneaux

1. Généralités sur les oscillateurs synchrones

a. Principe de fonctionnement

Comme nous l'avons vu au cours du premier chapitre, une importante partie de la consommation du synthétiseur de fréquence en question est due aux oscillateurs millimétriques et aux diviseurs hautes fréquences. La consommation de l'oscillateur millimétrique ne semble pas vraiment pouvoir être améliorée au vu des contraintes imposées en termes de bruit de phase et de largeur de bande de fréquences, sans impact sur la robustesse du circuit. C'est pourquoi un travail plus approfondi a été réalisé sur l'opération de divisions de fréquences. L'utilisation de la technologie 28 nm FDSOI CMOS offre la possibilité de pouvoir réaliser diverses structures numériques ou analogiques capables de fonctionner à hautes fréquences. Il est ainsi possible d'envisager l'utilisation d'oscillateur à anneaux synchronisé pour effectuer une division en sortie du VCO, sans passer par l'intermédiaire d'autre topologie de diviseur haute fréquence (figure 136).

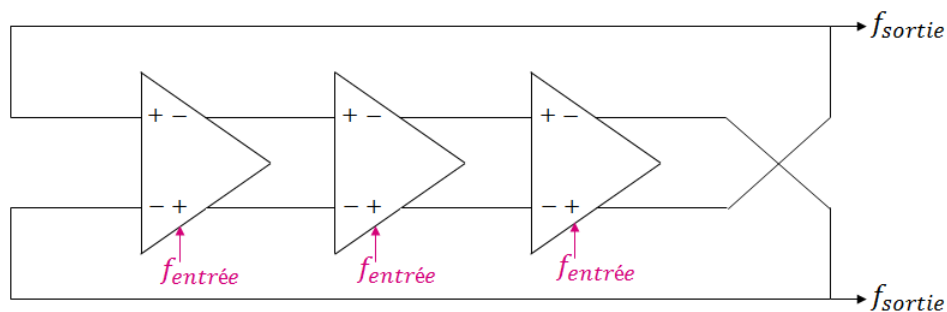


Figure 136 – Oscillateur à anneaux synchronisé différentiel

La réalisation d'un oscillateur synchrone fonctionnant à 10 GHz offre la possibilité de garantir une accroche plus facile du signal de sortie du VCO millimétrique, l'harmonique correspondante (la 3^{ème} harmonique) n'étant pas excessivement faible en sortie du VCO millimétrique. La conception de cet oscillateur reste néanmoins difficile à réaliser dans une optique très faible consommation. En effet, une réelle limitation apparaît quant-au dimensionnement des transistors composant l'oscillateur à anneaux, puisque comme nous l'avons vu dans l'équation (2.4) page 64 de ce manuscrit, la fréquence maximum d'un oscillateur à anneaux est à la fois déterminée par le courant le traversant mais aussi par les capacités parasites présentes en sortie des portes inverseuses. Ces deux derniers paramètres étant directement liés par le dimensionnement des transistors composant chaque porte inverseuse. L'idée a donc été de concevoir un oscillateur à anneaux synchronisé fonctionnant autour de 5 GHz, effectuant une synchronisation sur la 7^{ème} harmonique du signal provenant de l'oscillateur millimétrique pour réaliser une division de fréquence par 8. La fréquence de l'oscillateur à anneaux synchronisé est adaptée par l'intermédiaire du courant traversant ce dernier, en fonction de la fréquence d'entrée délivré par l'oscillateur millimétrique. Ainsi, on retrouve une consommation maximum pour la

plus grande fréquence de fonctionnement de l'oscillateur millimétrique, avec un courant de 1.9 mA, pour une tension vdd de 1V lorsque l'oscillateur à anneaux doit être synchronisé à 5.7 GHz. On notera que l'amplitude en tension de la 7^{ème} harmonique est relativement faible en comparaison de la 3^{ème} harmonique dans le cadre d'un signal pseudo-sinusoïdale, ce qui explique pourquoi la plage de synchronisation d'un oscillateur synchronisé fonctionnant à 5 GHz est plus faible que celle d'un oscillateur synchronisé fonctionnant à 10 GHz lors de la division d'un signal à 40 GHz. L'utilisation d'un circuit de remise en forme du signal peut alors s'avérer être utile, afin d'augmenter le niveau des harmoniques à considérer et donc élargir la plage de synchronisation de l'oscillateur synchronisé [JANY 2014] [JIE 2013].

b. Etat de l'art

L'analyse de l'état de l'art des oscillateurs à anneaux synchronisé permet de mettre en évidence les complications liées à la réalisation d'oscillateur synchronisé faible consommation fonctionnant à hautes fréquences. L'oscillateur à anneaux synchronisé conçu offre d'intéressantes performances en termes de consommation pour un diviseur possédant une fréquence d'entrée millimétrique ce qui permet de le situer au niveau de l'état de l'art dans le type d'application visé.

	[BORJKHANI 2014]	[DEGHANI 2006]	[LIU 2015]	[LIM 2009]	Ce travail*
Technologie (nm)	180	250	65	65	28 FDSOI
Fréquence d'entrée maximum (GHz)	0.5	3.2	20.7	108.8	45.6**
Rang de division	10	4	4	3	8
Consommation (mW)	0.042	0.572	1.92	4.5	1.9
FOM_{div}^{***}	137.7	138.5	149.5	159	159.4

Figure 137 – Etat de l'art des oscillateurs à anneaux synchronisés faible consommation

* résultats de simulation

** dans le cadre de notre application

*** FOM prenant compte de la fréquence d'entrée, du rang de division et de la consommation du diviseur de fréquence

$$FOM_{div} = \left| -20 \cdot \log(f_0) + 10 \cdot \log \left(\frac{P_{cons}}{1 \text{ mW}} \cdot \frac{1}{division} \right) \right|$$

2. Choix du type d'injection

Différents choix d'injection du signal provenant du VCO millimétrique peuvent être envisagés au sein de l'oscillateur à anneaux synchronisé. La technologie 28 nm FDSOI CMOS offre la possibilité d'introduire une injection du signal au sein de l'oscillateur synchronisé par l'intermédiaire du body des transistors (figure 138), ce qui permet de réduire les résistances et les capacités parasites, ainsi que la surface du circuit.

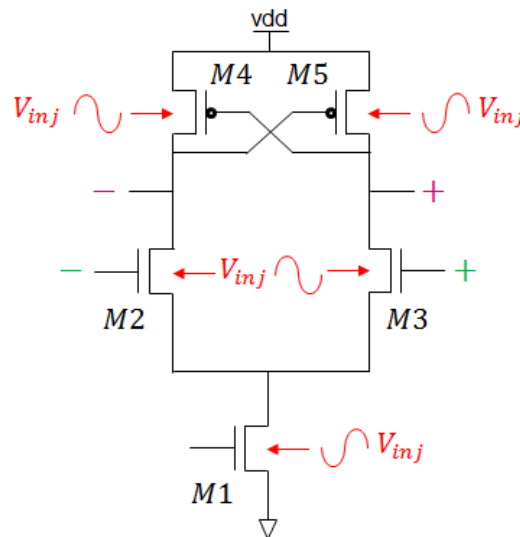


Figure 138 – Présentation des différentes possibilités d'injection du signal d'entrée au sein du body des transistors composant les cellules inverseuses différentielles

Une injection par le body des transistors du miroir de courant NMOS (M1) est principalement limitée par la dimension des miroirs de courants, introduisant une forte valeur capacitive en sortie de l'oscillateur millimétrique. Une injection du signal via le body des transistors constituant la paire croisée PMOS implique l'utilisation d'une tension négative nécessitant la présence d'un circuit capable de générer cette dernière ou une connexion supplémentaire. On notera de plus, que la plage de synchronisation est considérablement réduite par l'utilisation de ce type d'injection puisque l'influence de la variation de tension apparaissant aux bornes de la paire croisée PMOS s'avère être moindre que celle engendré par une injection au sein du body des transistors NMOS M2 et M3. L'injection du signal dans le body des transistors NMOS M2 et M3 semble donc finalement être la meilleure solution. C'est en effet sur cet élément que l'oscillateur à anneaux est le plus sensible aux variations de tensions induites par le signal injecté, et donc que la plage d'accroche de l'oscillateur synchronisé est la plus grande. On peut ainsi observer sur la figure 139, l'analyse temporelle du phénomène de synchronisation permettant d'identifier un changement de la fréquence de fonctionnement de l'oscillateur à anneaux lorsque ce dernier se synchronise sur le signal injecté. On remarque qu'un court temps d'établissement, de l'ordre de 4 ns, est nécessaire lors de l'étape de synchronisation pour obtenir une division du signal d'entrée par 8.

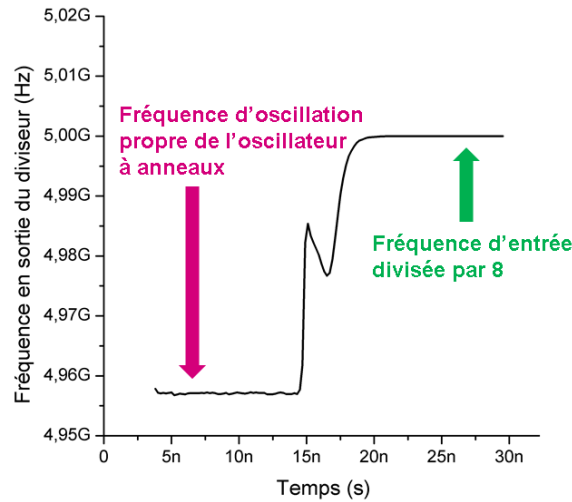


Figure 139 – Analyse temporelle du phénomène de synchronisation lorsque la fréquence du signal d'entrée est de 40 GHz

Deux performances distinctes sont obtenues en termes de bruit de phase. Lorsque la fréquence d'oscillation propre de l'oscillateur est trop éloignée de la 7^{ème} harmonique provenant du signal injecté, les performances obtenues en bruit de phase sont relativement faibles puisqu'elles correspondent à celle d'un oscillateur à anneaux fonctionnant de manière classique. En revanche, dès lors que le phénomène de synchronisation opère, le bruit de phase obtenu en sortie de l'oscillateur à anneaux synchronisé correspond alors au bruit de phase obtenu en sortie d'un diviseur de fréquence par 8 [MESGARZADEH 2005], soit :

$$L_{ILFD_sortie}(f) = L_{ILFD_entrée}(f) - 20 \cdot \log(8) = L_{ILFD_entrée}(f) - 18 \text{ dB} \quad (3.6)$$

L'illustration de ces performances étant présentée sur la figure 140.

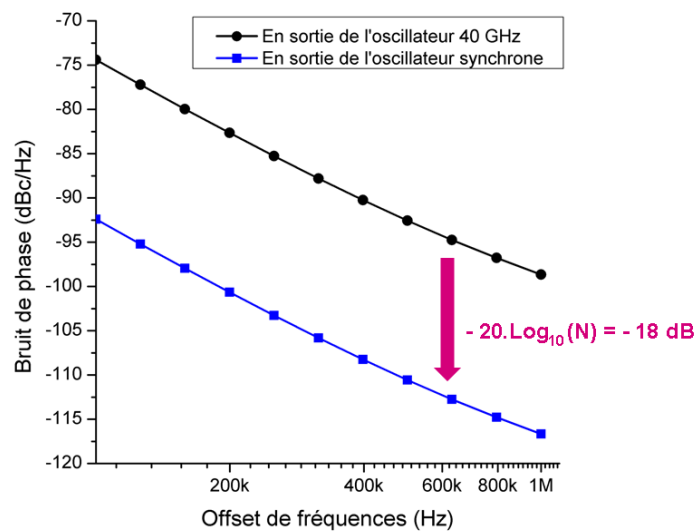


Figure 140 – Bruit de phase obtenue en entrée et sortie de l'oscillateur à anneaux synchronisé (simulation)

4. Conclusion

Ce chapitre a permis de mettre en avant les performances de l'oscillateur conçu, grâce à une analyse approfondie des différents résultats de mesures obtenus. Les performances observées en mesures sont en adéquation avec les résultats de simulations effectués auparavant, ce qui confirme l'efficacité de la méthodologie de conception mise en place ainsi que fiabilité des modèles RF de la technologie 28 nm FDSOI CMOS. Le VCO conçu possède une plage de fonctionnement de l'ordre de 6.5 GHz centrée sur 39.2 GHz. Le bruit de phase obtenu est de -118 dBc/Hz à 10 MHz de la porteuse pour une consommation de 8 mA sous 1V. L'ensemble de ses performances permet de situer ce VCO au niveau de l'état de l'art des oscillateurs millimétrique large bande et faible consommation.

Références	[NARIMAN 2010]	[XIANG 2013]	[MURPHY 2011]	[MAMMEI 2013]	Ce travail
Technologie (nm)	65	65	65 (GP)	32	28 FDSOI
Tension d'alimentation (V)	1.2	1.2	1	1	1
Fréquence centrale (f_0) (GHz)	37.1	63.1	47.5	39.9	39.3
Plage de fonctionnement (%)	15.1	16.6	22.9	31.6	17
Bruit de Phase (dBc/Hz)	-98.1 @ 1 MHz	-94.2 (60GHz) -97.7 (40GHz)* @ 1MHz	-97.5 @ 1 MHz	-115.2 @ 10 MHz	-118 @ 10 MHz
Consommation (P_{cons}) (mW)	14.4	11.4	16	9.8	8
FOM	177.9	179.6	179	177.3	180.9
FOM_T	181.5	184	186.1	187.3	185.5

Figure 141 – Tableau récapitulatif des performances du VCO millimétrique et comparaison avec l'état de l'art

Diverses idées d'améliorations du circuit actuel ont été proposées dans le but d'accroître ses performances dans l'optique d'une future intégration au sein d'une PLL large bande à faible consommation. Ce chapitre aura aussi permis d'illustrer différentes perspectives permettant d'envisager l'amélioration des performances de la PLL. L'utilisation de lignes à ondes lentes semble pouvoir permettre

la conception de VCO millimétriques hautes performances et robustes grâce aux avantages liés à la technologie 28 nm FDSOI CMOS. Les oscillateurs à anneaux synchronisés constituent quant à eux une intéressante alternative aux diviseurs de fréquences SCL précédemment employé au cours de cette thèse, notamment en termes de consommation et de surface. Toutes ces améliorations pourraient, à termes, permettre la réalisation d'une PLL large bande hautes performances présentant une très faible consommation en comparaison avec l'état de l'art actuel.

Références

[BORJKHANI 2014] : Borjkhani, H.; Sheikhaei, S.; Borjkhani, M., "Low Power Current Starved Sub-Harmonic Injection Locked Ring Oscillator," Electrical Engineering (ICEE), 2014 22nd Iranian Conference on , vol., no., pp.38,42, 20-22 May 2014

[DEHGHANI 2006] : Dehghani, R., "Wide band injection-locked quadrature frequency divider based on cmos ring oscillators," Microwaves, Antennas and Propagation, IEE Proceedings , vol.153, no.5, pp.420,425, Oct. 2006

[FRANC 2011] : Thèse de Anne-Laure Franc, 2011

[JANY 2014] : Thèse de Clément Jany, 2014

[JIE 2013] : Jie Xu; Jianyun Hu; Ciftcioglu, B.; Hui Wu, "A 4–15-GHz ring oscillator based injection-locked frequency multiplier with built-in harmonic generation," Custom Integrated Circuits Conference (CICC), 2013 IEEE , vol., no., pp.1,4, 22-25 Sept. 2013

[LIM 2009] : Lim, S., Badalawa, W., and Fujishima, M.: 'A 110GHz inductor-less CMOS frequency divider'. IEEE Asian Solid-State Circuits Conference, Taipei, Taiwan, 2009, pp. 61–64

[LIU 2015] : Liu, S.; Zheng, Y.; Lim, W.M.; Yang, W., "Ring Oscillator Based Injection Locked Frequency Divider Using Dual Injection Paths," Microwave and Wireless Components Letters, IEEE , vol.PP, no.99, pp.1,1, 2015

[LUO 2012] : Luo, H.; Han, Y.; Cheung, R.C.C.; Liang, G.; Zhu, D., "Subthreshold CMOS voltage reference circuit with body bias compensation for process variation," Circuits, Devices & Systems, IET , vol.6, no.3, pp.198,203, May 2012

[MESGARZADEH 2005] : Mesgarzadeh, B.; Alvandpour, A., "A study of injection locking in ring oscillators," Circuits and Systems, 2005. ISCAS 2005. IEEE International Symposium on , vol., no., pp.5465,5468 Vol. 6, 23-26 May 2005

[TACHIBANA 2008] : Tachibana, F.; Sato, H.; Yamashita, T.; Hara, H.; Kitahara, T.; Nomura, S.; Yamane, F.; Tsuboi, Y.; Seki, K.; Matsumoto, S.; Watanabe, Y.; Hamada, M., "A process variation compensation scheme using cell-based forward body-biasing circuits usable for 1.2V design," Custom Integrated Circuits Conference, 2008. CICC 2008. IEEE , vol., no., pp.29,32, 21-24 Sept. 2008

[TANG 2012] : Thèse de Xiaolan tang, 2012

Conclusion

Le travail de thèse présenté dans ce mémoire a permis de démontrer la faisabilité de réalisation de synthétiseur de fréquence capable de répondre à la convergence WiFi-WiGig dans une optique faible consommation et hautes performances. De nombreuses solutions ont été proposées aux travers des chapitres de ce manuscrit, de sorte à répondre aux problématiques de la conception des éléments composants les synthétiseurs de fréquences millimétriques en technologie CMOS avancée.

Le premier chapitre de cette thèse a montré l'ensemble des points critiques apparaissant lors de la conception des différents éléments composant un synthétiseur de fréquence multi-standards, ainsi que les diverses avantages offert par la technologie 28 nm FDSOI CMOS dans le cadre d'une optique faible consommation. Une nouvelle architecture de diviseur de fréquence fractionnaire a été détaillée, cette dernière offrant de très intéressantes perspectives en termes de consommation, pas de division et facilité d'intégration au sein d'une PLL multi-standards.

Une étude approfondie des oscillateurs millimétriques large bande et hautes performances en technologie 28 nm FDSOI CMOS a été présenté au sein du second chapitre. Ce chapitre faisant état des diverses topologies d'oscillateurs pouvant être employé ainsi que des avantages et contraintes de la miniaturisation des technologies, pour faire ressortir une méthodologie de conception des VCOs millimétriques large bande et faible consommation.

Le troisième chapitre a présenté d'intéressants résultats de mesures pour l'oscillateur millimétrique large bande conçu, qui s'avère être très encourageant dans l'optique de futures réalisations de circuits millimétriques en technologie 28 nm FDSOI CMOS. L'ensemble des performances données par ce VCO, tant au niveau du bruit de phase que de la plage de fréquence couverte, permet de le placer au niveau l'état de l'art des oscillateurs millimétriques très faible consommation. Les résultats de mesures obtenues s'avère être, à la connaissance de l'auteur, les premiers résultats de mesures présentés pour un VCO millimétrique en technologie 28 nm FDSOI CMOS. Diverses solutions ont par la suite été présenté afin d'améliorer les performances du synthétiseur de fréquence conçu. L'étude réalisée sur l'incorporation de ligne à ondes lentes au sein d'oscillateurs millimétriques a permis de mettre en évidence une méthodologie de conception ainsi que les intéressantes possibilités apportées par la technologie 28 nm FDSOI CMOS en termes d'intégration et de robustesse. Ce chapitre a aussi montré les éléments clés de la conception d'oscillateurs à anneaux synchronisés en technologie 28 nm FDSOI CMOS ainsi que leur intérêt dans le cadre de la réalisation de synthétiseur de fréquence faible consommation.

Les différents apports de la technologie 28 nm FDSOI CMOS offrent ainsi la possibilité de réalisation d'un synthétiseur de fréquence millimétrique complet possédant une consommation inférieur à 20 mW, ce qui le place au niveau de l'état de l'art actuel des synthétiseurs de fréquences faible consommation et large bande. Les résultats obtenues sur la technologie 28 nm FDSOI CMOS confirment l'intérêt de l'utilisation de cette technologie dans le cadre de projet radiofréquences à faible

consommation et forte intégration. Ce travail ouvre donc d'intéressantes perspectives dans le cadre de la conception des synthétiseurs de fréquences capable de répondre aux besoins de la convergence WiFi-WiGig, et pourrait à terme servir de prémisse à la conception d'autres synthétiseurs de fréquences multi-standards.